

日立 総研

創業100周年記念シリーズ

特集 「ポスト・ムーアの法則」時代における
エレクトロニクス産業

vol.5-1

2010年5月発行

表紙題字は当社創業社長(元株式会社日立製作所取締役会長)駒井健一郎氏 直筆による

日立 総研

vol.5-1

2010年5月発行

- 2 巻頭言
- 4 対論 ～ Reciprocal ～
創業100周年記念論文
- 10 これからの100年
森田 康博

特集

「ポスト・ムーアの法則」時代 におけるエレクトロニクス産業

- 16 日立総研レポート
エレクトロニクス産業の新展開
山田 廉一
- 22 寄稿
半導体技術のイノベーション
－More MooreとBeyond CMOSの融合－
平本 俊郎
- 30 寄稿
バイオナノマシンが拓く社会
小柳 光正
- 38 寄稿
Mechanical Computing Redux:
Relays for Integrated Circuit Applications
Tsu-Jae King Liu and Hei Kam

- 44 研究紹介
- 46 先端文献ウォッチ

アジアから見たポストムーア

(株)日立総合計画研究所
取締役社長

塚田 實

今年で、日立製作所が誕生してからちょうど100年になる。

世界の経済構造は、「百年に一度」といわれた世界金融危機から回復し、その過程で大きく変化しようとしている。今年度は、日立にとっても、世界にとっても、大きな転換点となるであろう。

『日立総研』でも、100周年記念のレポートを毎回掲載する予定である。次の100年を構想する上で、一助となれば幸いである。

さて、今回の『日立総研』のテーマは、「ポストムーアの法則」である。

大変難しいテーマであるが、4月初旬、インド、タイ、シンガポールに出張した時の実感から、このポストムーアについて考えてみたい。

私どもは、『日立総研2月号』でも取り上げたように、“アジアベルト地帯”を成長地域と位置付け、ここでの活動を強化している。今回の出張は、その息吹を自分の目で再確認することを目的の一つとしていたが、かつて私がアジア各国を飛び回っていたころを思うと、その変ぼうぶりには大いに驚かされた。道路などの社会インフラの整備が進み、かつての交通渋滞は大幅に解消され、また、航空機の運航や飛行場での地上サービスなど、オペレーションも改善されていた。

インド、シンガポールでは、政府の高官や有識者と懇談し、タイでは、HDD（ハード・ディスク・ドライブ）関連の現地工場を訪問した。現地を訪れ、現地の人々と会話する中で、アジアから見た日本、アジアの中で見るアジアなど、視点を移すことでの世界の見え方の違い、その大切さを改めて実感した。本号のテーマである「ポストムーアの法則」についても、アジアに視点を移すとその見え方が違ってくるのではないかと思われる。

ムーアの法則とは、「半導体の集積度は18～24カ月で倍増する」という経験則であるが、今回訪問した工場が生産するHDDもまた、記録密度（単位面積当たりの情報量）向上のための技術開発にしのぎを削ってきた製品である。HDDは、パソコンやサーバなどのデータ記録装置として、半導体とともにIT機器の大容量化・小型化を可能にしてきた。また、最近では、HDDレコーダーなどに用いられ、家庭での手軽なビデオ録画用途でも活躍している。

世界のエレクトロニクス産業、特に半導体や液晶パネルでは、韓国、台湾メーカーが急速に存在感を増しているが、HDDでは、タイが一大生産拠点となっている。タイ政府は自動車と並んでHDDを国の重要産業と位置付け、税や研究開発の面でも厚く支援しており、HDDの主要メーカーであるシーゲートやウェスタン・デジタル、そして日立も、タイに生産を集約させており、世界のHDD生産のうちタイが占める割合は60%に達するといわれている。

その HDD の組み立て工場、それから主要部品であるスピンドルモーターの生産工場を見学させてもらった。

最初に感じたのは、若い労働力が集まる活気である。HDD には、労働集約的な工程があり、半導体や液晶パネルの生産現場とは、様相を異にしているが、若者たちが生き生きと働く姿は、日本の高度成長を思い起こさせるものであった。工場内の掲示板では、小集団活動のメンバーと改善提案の事例が紹介されており、6S、つまり「整理」「整頓」「清潔」「清掃」「しつけ」「作法」がスローガンとして掲げられ、徹底されていた。両工場とも従業員数が1万人を超え、なおまだ増え続けており、最近ではバンコク周辺での労働力確保が難しくなり、マレーシアなどほかの国にも、採用の機会を拡大しているそうである。

研究開発においても、日本では少なくなった磁気記憶技術の講座が、タイでは 20 近くの大学にあり、そこから研究結果が生まれ、優秀なエンジニアが輩出されているとのことであった。優秀な人財を採用しやすくなり、彼らの就職先が確保されることで、その分野を目指す若者が増える。

HDD の主要メーカのほか、主要な部品メーカなど、関係する企業群が集まり、近接する企業間で協創関係が生まれる。実際、今回訪問した日立グローバル・ストレージ・テクノロジーと日本電産の現地拠点では、小集団活動などのノウハウを共有し、高め合っているとのことであった。

人財やインフラ、ノウハウなどの資源が蓄積され、それを求めて関連する企業群や関連機関が集まり、新たな蓄積を生み出す。HDD の最前線を見学し、関係者と議論する中で、産業集積における好循環の重要性を再認識した。

国にしても、企業にしても、個別要因の優位性が相互に補強し合えるような好循環を作ることができるかが競争戦略のカギである。比較優位をコア競争力に進化させることができるか、相対的な優位性を絶対的な優位性に高めることができるかどうかは、ここにかかっているといえるであろう。

ポストムーア時代を迎え、研究開発投資の成果が得にくくなると、最先端技術を追いかけ、これをけん引役として、産業の優位性を築くモデル、かつて日本企業の競争優位を実現してきた好循環のみで競争力を維持するのは、難しくなりつつある。また、世界の主要マーケットは、新興国に移りつつあり、適度な品質で、低価格の製品に需要の中心がシフトしているのである。

このような劇的な変化に対処するためには、根本的な発想の転換と新たなビジネスモデルの構築が必須となる。そしてそれには、企業だけでなく、政府や大学、研究機関などが協力して、戦略的に対応することが求められるであろう。

インドの元高官は、インドの発展に対して揺るぎない自信を持ち、インド抜きには世界経済は語れないとの自信に溢れていた。また、シンガポールの高官は、リーマンショック後の世界経済を俯瞰（ふかん）して、今後 10 年シンガポールの生きる道を熱く語ってくださった。ビジョンを明確にして、そのビジョンをいかに達成するかを滔滔（とうとう）と語る姿には、愛国心が溢れていた。

お二人の言葉と姿が、たいへん印象的であった。

日本企業が世界のマーケットで生きるために —「内なるグローバル化」と 「外なるグローバル化」に向けて—

21世紀政策研究所理事長
住友商事相談役 宮原 賢次 氏

2007年夏に始まる世界金融危機、世界同時不況から2年半が経過し、先進国が停滞する中で中国をはじめ新興国の成長が際立ち、グローバルな経営環境の変化が激しくなっています。

日本企業がこのグローバル競争を勝ち抜いていくためにどのようなアプローチが必要なのでしょうか。

住友商事の社長、会長を務められた宮原賢次氏は、現在は日本経団連のシンクタンク21世紀政策研究所の理事長として、日本の産業の将来に向けた重要な提言を行っており、日立製作所社外取締役としても活躍しておられます。そこで、豊富なご経験と幅広い活動の中から、日本企業のグローバル化について率直にお話ししていただきました。

宮原 賢次 *Kenji Miyabara*

1958年京都大学法学部卒、住友商事入社。
鋼管、鉄鋼貿易に主に携わり、1966年から73年にかけて米国駐在。
1986年取締役。1990年常務、米国住友商事社長兼務。
1993年専務。1996年第七代住友商事社長。2001年会長。
2007年相談役。2007年旭日大綬章受章。
2003年日本経団連副会長、その後、日本機械輸出組合理事長、国際
民商事法センター会長などを歴任。
2006年より21世紀政策研究所理事長。
2007年日立製作所社外取締役。

「国際化」から「グローバル化」へ

塚田 本日は、お時間をいただきましてありがとうございます。日立グループは、中西新社長の就任を経て、より一層のグローバル化を目指しています。そこで、グローバル化の先達である商社を率いたご経験を踏まえて、日本企業のグローバル化についてご意見をいただければと思います。

宮原 企業が向き合うのはマーケットですから、マーケットがグローバル化すれば、当然ながらわれわれも対応しなければなりません。まず「グローバル化」とは何かということですが、冷戦構造が崩壊する1990年ごろまでは「国際化」と呼んでいました。冷戦の終結を境に米国の民生向け投資が“平和の配当”と呼ばれて復活し、さらに情報通信技術が急速に発達したことに加えて、資本と通商の自由化がワシントン・コンセンサスとして世界に推し進められたことで、グローバル化が始まったとらえています。政治の問題で遅れたインドも1991年から自由化に向かい、中国では鄧小平が1992年に南巡講話を発表して経済開放を強めています。しかし、日本は1990年代のバブル経済崩壊に追われて、世界のパラダイムシフトに乗り遅れたのではないのでしょうか。

塚田 確かに、1990年代以降はBRICs*をはじめ新興国の経済成長が著しく、世界経済の中に占める新興国の比重も高まっています。これらの成長市場に対応しないと日本企業の成長は期待できないですね。

宮原 まったく、その通りです。新興国の発展が本格化したのは21世紀になってからですが、現在、アジアが成長センターの地位にあるのは、1997年のアジア通貨危機の経験が大きいし、それを克服したことによって成長できたのだと思います。私自身、アジア通貨危機では大変苦い経験をしています。当時、日本の4大プロジェクトの一つとしてインドネシアでIPP(独立発電事業者)のプロジェクトを立ち上げていました。そこに通貨危機

が発生し、インドネシア政府は膨大な不良債権を抱えることになりました。IMF(国際通貨基金)のルールにより、これ以上の資金借り入れができない状態となり、このままでは大変な損失が出そうなので、住友商事が出資者から債権をすべて買い取ることにしました。その上で、事業主体のインドネシア国営企業にリース方式での運営を提案しました。このようなアイデアは初めてのことで彼らも戸惑いましたが、私は当時のワヒド大統領あてに徹夜で提案書を作りました。イエスカノーか、ノーなら建設中のプラント工事を中断して引き揚げますと。そうしたら大統領から「分かった、イエスだ」というお返事をいただき、何とか継続することができました。

塚田 双方、ぎりぎりの局面での決断だったわけですね。アジア通貨危機では、韓国も大きな危機に直面し、それを見事に克服して今や世界市場における競争力を発揮しています。

宮原 そうですね。韓国はIMFが支援し、日本もバックアップをしました。グローバル化に話を戻すと、日本にはある程度のホームマーケットがあるので、国際化といっても輸出依存度は10%前後でした。2008年のリーマンショックの前でも17%に伸び、グローバル化に対応した企業はさらに成長しています。一方、韓国はホームマーケットが限られていたので、造船、電機などが積極的に海外に進出していったことで大きく成長したのです。通貨危機により、企業統合が進んだこともグローバル化を促進したといえます。

*BRICs(ブリックス):経済発展が著しいブラジル(Brazil)、ロシア(Russia)、インド(India)、中国(China)の頭文字を合わせた4カ国の総称。

「内なるグローバル化」と「外なるグローバル化」

塚田 グローバルカンパニーとして生き残っていくために必要な条件はどのようなことでしょうか。

宮原 マーケット自身が急速にグローバル化しており、海外マーケットへの依存度は今世紀に入ってますます大きくなっています。私は、常々「内なるグ

ローバル化」と「外なるグローバル化」と呼んでいきます。「外」はグローバルなネットワークであり、海外の人材を活用し、海外で事業をして海外で売ることです。「内」とは、企業体そのものがグローバル化することです。

日本でも、1990年代半ばから外国人投資家が日本株を買い、企業運営や経営方法について発言するようになりました。これがグローバル化の洗礼となり、経営も相当変わりましたね。日本的経営の良さをキープしつつ経営のハイブリッド化を進めたともいえますが、そこで日本企業が学んだのは、外に理解してもらふ必要性です。それは透明性のある経営であり、アカウントビリティーです。そういう形でおのずと内なるグローバル化も進んだと思うのです。

内なるグローバル化とは、結局、外からの目にさらされても耐えられる体質を作ることであり、内・外両面のグローバル化が必要だと私は考えます。



塚田 日立製作所の外国人持株比率も一時40%を超えましたが、IR(インベスターズ・リレーション)を通じて外国人投資家の厳しい目に応え、グローバルスタンダードを通じて仕事をするのが必然となりましたね。

宮原 一方で、注意すべきは価値観が日本と相当違う場合も多い点です。自社の経営理念はきちんと守るべきで、外国人投資家にも納得できるように説明しなければいけません。

塚田 おっしゃる通り会社としてのIntegrity(誠実さ)が大切で、その基本は企業理念だと思います。日立の創業の精神は「和」「誠」「開拓者精神」で、英訳ではそれぞれ「Harmony」、「Sincerity」、「Pioneering Spirit」としていますが、米国の現地法人ではさらに言葉を足して、「和」は「Harmony, Respect, Trust」、「誠」は「Sincerity, Fairness, Honesty, Integrity」、「開拓者精神」は「Pioneering Spirit, Challenge」としたそうです。そうすることで、米国でも理解され共有できるものになったと聞いています。

宮原 いま述べられたIntegrityは、とても大事な要素ですね。住友商事の企業理念に「信用を重んじ」という一節がありますが、「信用」をIntegrityと説明すると伝わる。非常に分かりにくいのは「浮利を追わず」。あぶく銭を得るような儲け方をするなという意味ですが、「Easy Gain」と訳しても、米国人は「苦勞するよりEasyに儲かるほうがいいじゃないか」と(笑)。

塚田

結局は「Fairness」ですね。つまり、その利益が世間から見て正当でないと思われるものはいけないということですよ。

宮原

その通りです。「Integrity」という言葉は、グローバル化の中で一つのキーワードだと私は思います。

グローバルな人財を育てる

塚田 日立総研では、これから伸びる市場として東アジアからインドにかけての「アジアベルト地帯新興国」を挙げています。しかし、当然ながら新興国市場にはリスクもあります。新興国での事業で留意すべきことはどのようなことでしょうか。

宮原 例えば、中国はWTO加盟後も「われわれはまだまだ発展途上国だ」と言っています。国際ルールに対して少し大目に見てくれという気持ちが発展途上国にはあるのだと思います。だから先進国と違うリスクも当然あります。国の方針や法律がしばしば変わり、税制もあいまいな点があることも念頭におかねばなりません。メーカーが困っているのは、特に知財保護の問題ですね。

塚田 私は中国総代表だったことがあるので、ご指摘のようなことを実感してきました。そうしたリスクを回避するには相手の国を知る必要があります、そのための人脈づくりが重要だと思います。かねがね宮原さんの人脈の広さは感心していましたが、人脈を築くポイントにはどのようなことがあるのでしょうか。

宮原 商社ですから付き合う範囲も広いのですが、基本は真摯(しんし)にお付き合いするのでしょうか。私は若いときにビジネスレターを勉強させられました。よく「You Attitude(相手の立場に立った形式)」でレターを書けと教えられました。相手が何を考え、何を求めているかということを常に意識しろということです。必ずしも直接ビジネスに関するだけでなく、相手が希望することはできるだけ協力するよう心がけてきたということぐらいですかね。

塚田 やはり相手の立場に立って物事を判断することが基本だということですね。グローバルに仕事を展開し

ていく上でも一番キーになるのは人材だと思います。人材を育てるポイントとしてはどういう点があると思われますか。

宮原 商社に限らず、日本企業は大きなハンディキャップがあると思います。一つは言葉、ランゲージ・バリアです。もう一つは、最近の日本の若い人は外へ出る活力がずいぶん衰えているということです。それと同時に、外国から日本に優秀な人が来ることも少ない。塚田さんも中国で感じられたと思いますが、トップクラスの学生はなかなか日本に留学しませんね。

塚田 留学先は、米国、欧州、その次が日本ですね。就職先も同じです。トップクラスは英語を学ぶので欧米の企業で働くことが第一志望になります。

宮原 日本企業も、世界の人材を使えないといけないと思います。しかし、日本の留学制度や奨学金にしても、もっと魅

力あるものにして
いとグローバル
な人材が日本
に集まってきま



せん。日本の企業はそうしたハンディキャップを背負っているわけですから、例えば、意識的に米国のトップクラスの学生を入社させるという思い切った方法も必要でしょうね。

塚田 人材の面では、現地の社員がマネージメントするようにしないと持続的な成長はないと思っています。現地で優秀な人を生かすシステムをつくり上げて、グループ一体となってマネージメントするというのが本当のグローバル化なのではと思います。

宮原 理想はそうですね。商社は、実は、人材のグローバル化が必ずしも進んでいるとはいえないと思います。総合商社という業態は日本にしかないビジネスモデルなので、外国の人に十分理解してもらうことは容易ではありません。それでもできる限り優秀な現地の人を育てよう努力しています。

ビジネスを超えて社会のシステムを学ぶことが重要

塚田 宮原さんのこれまでお仕事で、グローバル化に関して最も印象に残っているのはどのようなこと



でしょうか。

宮原 米国の社長時代に議会に召集された経験が忘れられないですね。米国人の雇用条件について差別しているとして米国人社員に訴えられ、それが政治問題にまでなり、ワシントンの公聴会を経験することになりました。この経験によってビジネスだけでは分からない米国社会のシステムを学ぶことができました。

その後、住友商事の社長になる直前に、米国でいわゆる銅の不正取引事件が発生しました。社員が先物取引で不正を働いたのですが、巨額の損失もさることながら、一番懸念したのは、企業ぐるみとみなされると米国でビジネスができなくなるということです。実際、邦銀が追放されるなどジャパンバッシングの真っ最中のことでしたから。この問題の解決に一番頭を悩ませました。幸いなことに、この時は、先の公聴会での経験が生きました。米国社会のシステム、法律を踏まえて、どのように対応したら事件が解決できるかを考えることができ、結局、先物取引委員会(CFTC)との和解に至りました。私のビジネスマンとしての経験の中で、一番印象深いことです。

塚田 率直にお話しいただきありがとうございます。存亡の危機を回避された手腕は大変なものです。私も、米国での裁判を通じていろいろなことを経験しました。英語能力の足りなさも実感しました。相手の質問に「I don't know」と答えると、言葉を変えて同じような質問が返ってくる。関係代名詞が入ったり否定の疑問形になったりする。とかく日本人は何とか答えようと努力しがちなもので、ついつい余計なことまで言うてしまうのです。知らないことはどう聞かれても「I don't know」と答えるということを勉強しました。

宮原 本当にそうですね。公聴会では通訳を使いました。議員たちの英語は、われわれがビジネスで話しているような調子じゃないですから。裁判では通訳を使えなかったのですか。

塚田 使うか使わないかはオプションでした。お前は英

語がある程度できるから英語でやれと言われ、つらい思いをしながら丸3日間相手側弁護士と付き合いました。もしよければ、グローバルにつながる成功体験についても伺いたいのですが。

宮原 長いこと仕事をしていすると、苦しい状況を克服したときのことしか覚えてなくて、それが楽しかったことになりますね(笑)。

塚田 アジアでは、住友商事が工業団地を各国に作っておられますが、今までの工業団地と違うようなインフラを準備されておられるようですね。

宮原 中でもベトナムの工業団地が注目されていて、見学者が多いようです。商社が、土地もインフラも用意し、政府の手続きもすべて代行します。さらに建物も用意しますということで、海外に不慣れな中小企業の方々も割に進出しやすい。大企業が進出すると関連する協力企業がたくさん進出されますから便利に使っていただいて、いま、大きな団地が2つでき、3つ目が埋まりつつあります。

炭素社会に応える 新たな社会インフラの提案を

塚田 最後に、21世紀政策研究所の理事長として、今後の日本企業が取り組まなければならない課題があればご披露いただけますか。

宮原 これからの世界の潮流として、低炭素社会に向かうことになれば、日本にとってチャンスが大きいととらえています。同時に、アジアを中心とした新興国がさらなる成長を遂げていく上では、電力、交通、港湾、水資源などのインフラ整備も大きな需要が出てきます。そういう意味で、とりわけ日立は絶好のポジションにあります。すべてを横断的に対応できるのですから、ぜひ技術を磨いて形にさせていただきたいと思います。

日本の輸出依存度は17%にまで高まり、日本企業の運営もかなりグローバル化されています。協力企業となる中小企業も、ぜひグローバル化を認識して積極的に外へ出ていかないと将来はないと考えています。私が思うのは、アジアの需要

は「アジア内需」だということです。日本は、アジアにおいて良いポジションにあるのですから、日本の特色を生かしてどんどんやっていくことが大事だと思います。その場合、各企業の判断としては、どのような事業をどういった形で取り組むか、きちっと戦略を立てた上で進めることが重要です。

塚田 おっしゃられるように、これから新興国では非常に大きな社会インフラ需要が出てきます。これは、日立の得意事業分野ですから、戦略をしっかりと立てて、将来の発展につなげていかなければと思っています。

宮原 日立グループにとりわけお願いしたいのは、新興国で展開するには、単なるインフラビジネスではなく、その国の実情に即して情報産業を乗せるとか、環境対策を加えるとか、一味違ったアプローチをして欲しいですね。

塚田 日立は、社会インフラと情報の両方を抱えていますから、両者を融合した新しい事業を戦略的に展開していけるよう日立総研でも提言を行ってまいります。本日はどうもありがとうございました。

対論後記



宮原さんのグローバル化に関するお話は実体験に裏打ちされた、とても深みのあるものでした。住友商事の存亡の危機を乗り切られ、その後の礎をしっかりと築かれました。一方物腰柔らかくお話しされる姿は人を引き付けてやみません。世界に人脈を持っておられるのも、個人的魅力にひかれる方が多

いからと思います。私も4月上旬インド、タイ、シンガポールとアジアベルト地帯に出張してきました。久しぶりの訪問でしたが、その変容ぶりに感心するとともに、ここでしっかりと事業戦略を立案・展開することが、日立の成長戦略に必須であると確信しました。宮原さんのご示唆を生かしながら、日立グループの事業のグローバル化を成功させるよう一層の努力をしたいと思います。

これからの 100 年

所長 森田 康博

はじめに

日立は、1910 年（明治 43 年）に創業し、今年 2010 年（平成 22 年）で創業 100 周年を迎える。既にそれを通り越した企業も多い。その時よく使われる言葉に「次の 100 年も…」といったフレーズが出てくる。あたかも次の 100 年も過去の 100 年の延長線上にあるかのごとく思いがちだ。しかし、本当にそうか。日頃、世の中の先行きを予測や展望するとしても、1 年先や 3～5 年先、長くて 10～20 年先である。しかし、100 年先を展望する場合は、少し異なった思考方法も要求される。これを機会に 100 年単位で経済社会を考えてみようというのが本稿の目的である。それにより、ものごとの本質がより明確に見えるようになるからである。

1. 人口と経済成長の予測

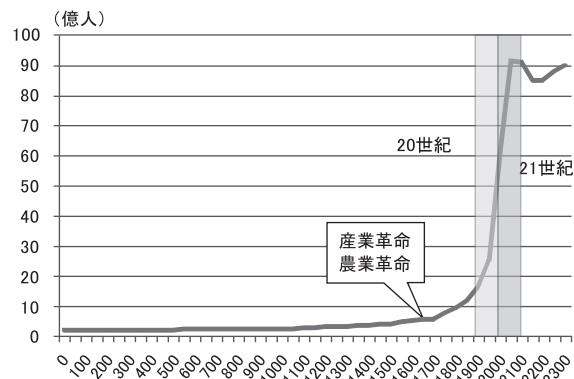
1.1. 人口増加の頭打ち

100 年の予測をしている資料はそれほど多くない。しかし、将来を展望するときに最初に考えるのはまず人口の予測である。図 1 は、過去の推計値^[1]に国連の中位推計^{[2][3]}をつなげたものである。紀元 0 年から 1000 年の間の人口は 2 億人台で年平均 0.01% の増加、1000 年から 1500 年の間は同 0.1% 増加し 4 億人台になった。それが農業革命や産業革命が起こった後の 1800 年には 10 億人、1900 年には 16 億人となり、1950 年に 25 億人、2000 年に 61 億人、そして 2010 年現在は約 69 億人である。こうして見ると、地球の人口が如何に爆発的、幾何級数的に増えてきたか驚くばかりである。

それでは、どこまで増加し続けるかという、国連の予測は中位値で 2050 年 91 億人となっている。その後 2300 年まで 90 億人前後ではほぼ横ばいの予測である。2010 年から 22 億人増えるが、増えるのは中国 6300 万人、インド 4 億人、アフリカ 10 億人を含む全て途上国である。因みに、低位推計では 2050 年に 74 億、2300 年に 23 億人まで減少し、高位推計では 2050 年

に 106 億人まで増え、2300 年は 364 億人である。

これはどういうことか。経済が豊かになると出生率は低下して人口は頭打ちになる傾向がある。どうやら 21 世紀の中ごろで人口の増加が頭打ちになる可能性が高い。現在の日本はまさに人口が減り始めて高齢化問題が深刻化し始めた状況だが、それが地球全体で起こることになる。これだけで、20 世紀の 100 年と 21 世紀の 100 年とでは、極めて大きな変化があることが予想できる。



資料: Angus Maddisonおよび国連統計
(2010年以降は国連中間シナリオ推計値)

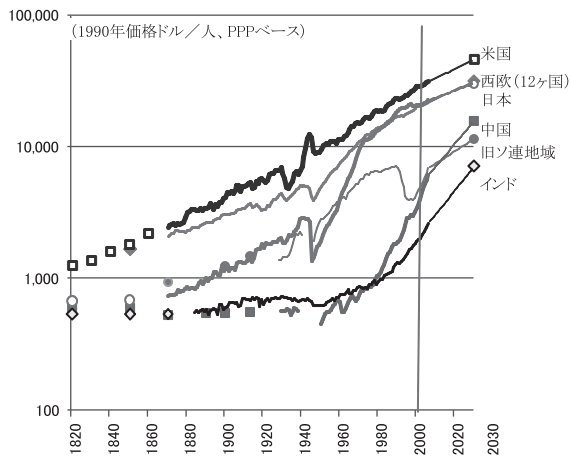
図 1 世界の人口

1.2. 新興国の急成長

経済活動はどうかと言えば、18 世紀以降これまで、人口の増加以上に飛躍的に拡大してきた。農業生産も工業生産も何倍にも拡大し、マルサスの「人口は幾何級数的に増えるが、食糧は算術級数的にしか増えないため重大な貧困が生じる」との「人口論」は杞憂に終わった。実際の生産性は技術革新で飛躍的に上昇したからである。

イギリスの経済学者アンガス・マディソン教授は、一人当たり実質 GDP（購買力平価ベース）について、過去を推計、2030 年を予測している。^[4] 図 2 は 1820 年以降の推計値と予測を示した。これで見ると、各国・地域において、戦争や政治が経済に与えた影響の歴史を概観することができる。米国は、1929 年の大恐慌の落ち込み以外は年率 2% 程度で一貫して拡大してきた。西欧も 2 回の大戦で落ち込む時期があったものの、

第二次世界大戦後は順調に生産性を上げ、米国に次ぐ水準に達した。一方、日本は、第二次世界大戦により大きく落ち込んだ後、驚異的なスピードで生産性を上げて西欧の水準に追いついたが、石油危機後は成長率を屈折させ、生産性は西欧の水準にある。これら先進諸国に対し、旧ソ連地域は、1980年代まで順調に生産性を伸ばしていたが、1989年の東西冷戦の終焉で経済は混乱し生産も大きく落ちた。中国は、不安定な政治状態が続き長い間生産性は上昇しなかったが、1978年の改革開放政策への転換から爆発的成長が始まった。市場為替レートでのGDPでも、2010年には日本を、2030年前後には米国を抜くと見られている。同様に、インドも20世紀末から成長を加速させている。



資料: Angus Maddison, "The World Economy", OECD (2006年)
<http://www.ggdc.net/Maddison> データより日立総研作成

図2 一人当たり実質GDP

また、2030年までの一人当たりの実質GDPは、各国・地域とも米国の水準を目指してキャッチアップが続いていくと予想されている。すなわち、多くの途上国が戦争や政治的混乱を乗り越え、経済成長軌道に乗って離陸したことにより、地球経済は豊かさへの均一化が急速に起こり始めていることを示している。この潮流は相当大きく激しいものになりそうだ。以上をまとめると、中国、インドなどの新興国中心に途上国が急成長し、生活水準の向上に伴い、出生率が低下することにより、人口は2050年に向け頭打ちになる。そして、地球の実質GDPは次第に減速していくと予想される。問題は、それまで地球がもつか、ということである。すなわち、地球社会の持続可能性とその間の経済変動の大きさが問題となる。

2. 「成長の限界」と解決策

人口と経済の成長に潜む問題点を早くから指摘し、警告を発してきたのが「成長の限界」^[5]である。ご存知の方も多いと思われるが、先見の明のある著名な実業家や政治家、科学者からなるローマクラブが米国MITのデニス・メドウズ氏らに研究委託した報告書である。1972年に出版された後、1992年^[6]、2004年^[7]と、その後の状態を分析しているので、ここで紹介したい。(2012年には第四弾の出版も予定している。)

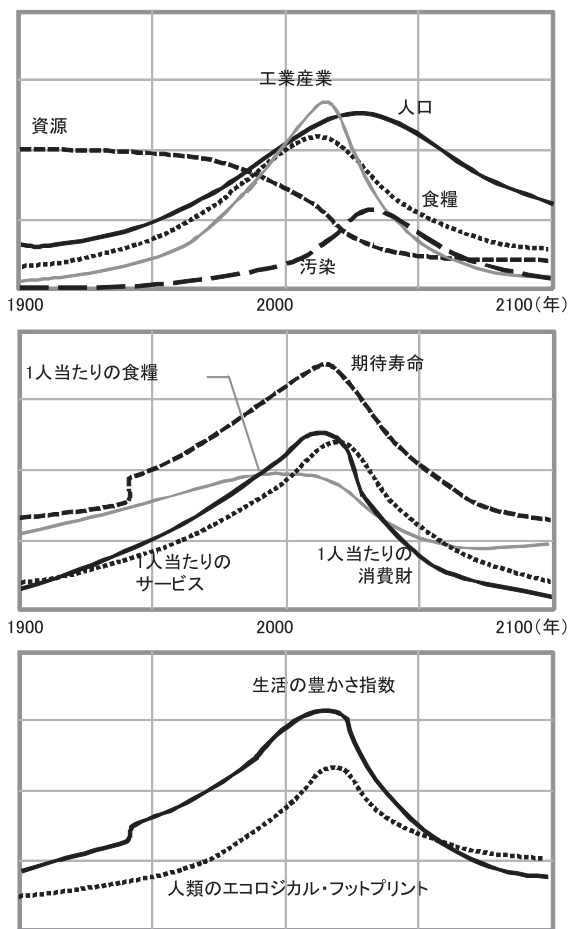
その論点はこうだ。地球の扶養力は有限であるので、人口を抑制し工業生産を制御しなければ、資源消費と汚染排出の制約から、21世紀のどこかで経済活動や生活の質が大幅に低下する、というものである。現状判断では、1990年代初めには、すでに「人類が持続可能ではない領域に進んでいる」、2004年時点ではさらに、現在の資源消費量は地球の扶養力を約20%超えて行過ぎているとしている。これをシステムダイナミクスによる幾つものシミュレーションで示している。

そのうち、図3は、20世紀後半の平均的政策を地球社会が続け、例外的な技術や政策変更を導入せずに、現状のまま推移した場合の、いわば現状踏襲シナリオを示している。

これによると、21世紀初めまでは、汚染レベルの上昇や一人当たりの食糧の停滞の他は、順調に問題なく推移しているのは予想通りとする。しかし、21世紀に入って20～30年すると、経済の成長が突如止り下降を始めると予想している。その原因は、再生不可能な資源の減少から、そのコストが急騰するためだとしている。そして、2030年ころには人口がピークに達し減少を始め、期待寿命も短くなり始める。

これに対して、いわば政策総動員シナリオも提示している。(図4) やや手遅れ感があるとはいうものの、2002年以降、技術革新と市場機能の活用に加え、環境への負荷を減らす成長の抑制政策をとるケースである。具体的条件は、例えば、平均的家族の子供を2人までとする。物的生産にも適度な限界を設ける。さらに、技術開発、投資を促進し、利用効率を上げる。工業生産単位当りの再生不可能な資源の消費量は80%削減させ、生産単位当りの汚染排出量も90%低下させることを前提としている。この結果、2020年以前に環境への負荷の総量は減少を始め、人口は80億人

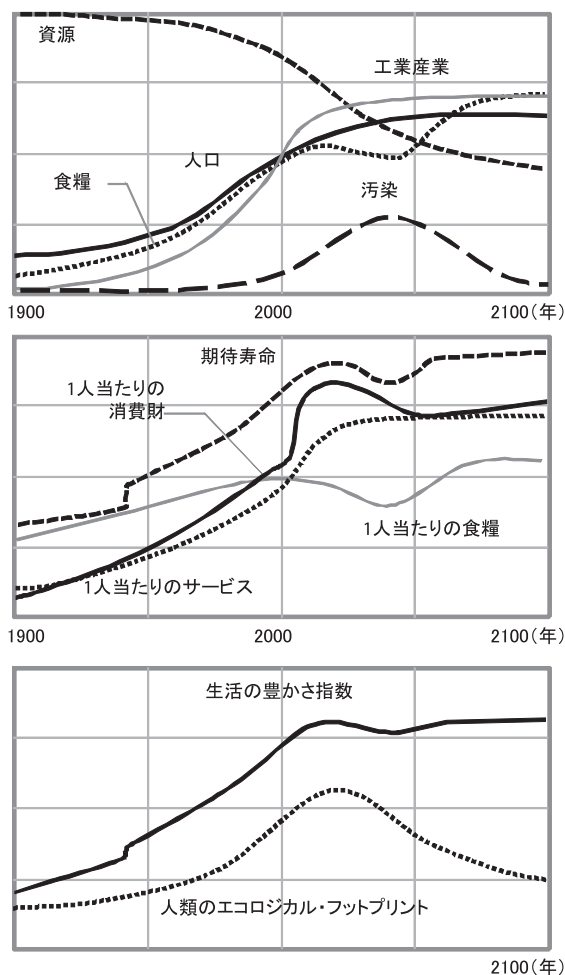
弱でピークに達し、今世紀中は望ましい物質的生活水準を保つことができると予想している。



資料:「成長の限界 人類の選択」(2004年)

図3 現状踏襲シナリオ

結論として、その解決策の基本は、技術と市場であることは認識しながらも、地球の未来は楽観できないとし、持続可能社会への政策転換・強化を訴えている。その理由は、地球社会の3つの行動パターンの特徴だという。第一が、衰退の可能性のある限界、第二は、止むことのない成長の追求、第三に、近づく限界に対する社会の反応遅れである。現実はどうかと言えば、近年の国際会議や各国の政策で、地球環境問題の重要性や方向性はかなり浸透してきた。一方で、豊かさに向けた経済成長志向は、新興国はもちろん先進国でも根強い。問題は第三点目であろう。理由は、合理的目標設定が難しく先進国と新興国とが合意できないことにある。したがって、技術と市場に任せる部分が残る。まさに、これが21世紀前半にその大勢が決まるとされる「次の100年」の課題である。



資料:「成長の限界 人類の選択」(2004年)

図4 政策総動員シナリオ

3. 技術と市場の未来

3.1. 技術革新はどこまで発展するか

「成長の限界」の解決策として期待が高い技術革新だが、ここ10～20年は、IT、バイオテクノロジー、ナノテクノロジーなどの進展はビジネスの世界でも予想するところである。しかし、次の100年で一体どこまで発展し、何が実現するのか予想するのは難しい。SFの世界に近い。20世紀の100年を考えても、高名な物理学者が当初不可能と考えていたことが可能になっている。飛行機、X線、無線、原爆など枚挙にいとまがない。米国の理論物理学者のミチオ・カク氏は、こうした歴史を踏まえ、SFに出てくる技術を現状の物理学の基本法則に照らして不可能レベルを3つに分類している。^[8] レベルIは、現時点では不可能だが、既知の物理法則には反していない技術。今世紀中か来

世紀には可能な技術とする。レベルⅡは、物理的世界の理解の辺縁にかりうじて位置し、数千から数百万年先の技術。レベルⅢは既知の物理法則に反する技術である。レベルⅠには、テレポーテーション、反物質エンジン、テレパシー、念力、不可視化、そしてロボットなどを挙げている。レベルⅡにはタイムマシンや超空間飛行などを、レベルⅢには永久機関などを挙げている。

そして、ロボットについては様々な意見を引用して議論している。この議論の核心は、科学者を一世紀以上にわたって二分してきた、思考する機械、すなわち人工知能は実現可能かということである。当然、一部の科学者や哲学者は不可能と考えている。一方、この点について、踏み込んだ予言をしているのが発明家のレイ・カーツワイル氏である。^[9] その主張は、ムーアの法則はパラダイムシフトを起こし続けて、コンピュータ技術を指数関数的に進歩させ、人間の知能を大幅に凌駕する特異点 (Singularity) が 2045 年ごろにも訪れるというものである。これに対してミチオ・カク氏は、幅広い考察の末、今世紀後半にも現実となる可能性がある」と結論づけている。人工知能の根本的な原理はまだ考え出されていないが、それを妨げる物理法則もないという理由だ。ただし、条件として、ムーアの法則のパラダイムシフトの実現と意味を理解し常識を身につけるコンピューティング能力向上を挙げている。そして、この分野は進歩がとても速くて前途有望だとも述べている。

この技術の進歩は人類にとって重要な意味を持つ。なぜならば、これからの社会インフラは、電気や水道、交通、通信でも、都市の複雑化とともに、人工知能なしには管理や監視が不可能になっていく。その社会インフラに障害や故障あるいはテロなどが起きれば、単に都市機能麻痺させるだけでなく、文明の存続をも危機にさらす可能性がある。

こうした側面を悲観的に見る科学者もいる。イギリスの宇宙物理学者であるマーティン・リース卿は、新しい科学は予期せぬ事態を招く恐れがあると指摘する。^[10] 20 世紀は、核兵器などが地球滅亡の大きな脅威となっていた。しかし、21 世紀には、そうした脅威の他にも遺伝子工学、ロボット工学、ナノテクノロジーなどの新しい技術が加速度的に進歩すると、恩恵とともに、確率は低いが高人の悪意あるいは事故に

よる大惨事を招く危険もまたある。20 世紀は運が良かったのであり、地球文明が今世紀を生き抜けるかどうかは五分五分である。今このときが最大の正念場であると説く。

人類が生み出す技術革新が急速に進歩した世界は、人類がつくる倫理観や自由で秩序ある社会体制の確立なしには成立し得ないことを示唆している。これからの 100 年はこうした技術革新を経験することになる。

3.2. 市場経済と民主主義は機能するか

地球課題に対する解決手段として、技術革新と並び期待されている市場経済や民主主義システムは、どのように展開していくのか。元ヨーロッパ復興開発銀行の初代総裁でフランスの知識人であるジャック・アタリ氏は、21 世紀の世界について 3 つの状況に想定している。^[11] 第一は「超帝国」であり、世界唯一の法と化した市場が支配する世界である。ここでは全てマネーで決着をつける狂気を生むとする。第二は「超紛争」で、武器を使用し、国家、宗教団体、テロ組織が対立する戦闘状態である。第三は「超民主主義」で、民主的世界政府ができ、技術革新は進み、地球環境は保護される理想の世界である。そして、今後 50 年の予測として、米国の世界支配は 2035 年以前に終り、一時的に多極化する。しかし、3 つの未来が混ざり合って押し寄せるとしている。そして、2060 年ごろに超民主主義の世界となるというシナリオを描いている。

結論として、市場経済と民主主義は、3000 年以上前に考え出された富の分配に関する画期的機能であり、この新たなバランスを確立したものが「超民主主義」だとしている。すなわち、地球社会には市場経済も民主主義もこれに代わるものはなく、より良い自由社会をつくれるか否かは、最終的にその制度や規制など、その政策や考え方、意志にかかっていると言える。

こうした世界の経済的側面を、エコノミストの水野和夫氏は金融市場の歴史分析からやや大胆に展望している。^[12] 異常に低い利子率が長期間続く現状から判断すると、21 世紀はデフレの時代になると予想している。理由は 3 つある。第一は、大競争時代の到来したこと。そのため、世界の供給能力が飛躍的に伸び、先進国では失業率が恒常的に高い状態になった。第二に、インターネット革命が起きたこと。第三に、通貨調整が行われないまま、全地球規模の市場統一が進ん

だこと、としている。

これを、過去のデフレとの比較で言えば次のようになる。17 世紀に起きたデフレは、欧州市場の統一にともなう内外価格差縮小と印刷技術による情報革命がそれを後押しした。19 世紀に起きたデフレは、欧州と米州の環大西洋市場の統一にともなう内外価格差縮小と鉄道と運河の輸送革命がそれを促進した。そして、21 世紀のデフレは、全地球の市場統一にともなう先進国と中国をはじめとする途上国との内外価格差縮小とインターネット革命がそれを加速することだという。

この背景には、今回は、16 世紀に起こった中世封建社会から近代主権国家と資本主義への社会体制の断絶的変化と似た、歴史的に大きな断絶が 1991 年のソ連邦崩壊から起こっていると説いている。これに、インターネット革命が加わり、金融のグローバル化で国際資金移動はより活発化し、新しい社会体制への転換が進んだとしている。そして、「国民（実体）」中心の資本主義から「資本（金融）」中心の資本主義へ、米国主導で社会体制が転換していったと見る。これは、ジャック・アタリ氏の言うところの「超帝国」の世界に通じるものがある。

また、利子率が下がりデフレになる過程では、過剰なマネーが供給され、それに将来に対する強気の期待が加わると、バブルが発生し易くなる。すでに、2008 年の「百年に一度」の世界金融危機で見た通りである。したがって、21 世紀はバブル多発型のデフレの時代だと主張する。バブル崩壊から立ち直り成長するには、技術革新による生産性向上が欠かせない。米国は、IT 革命などの技術革新によりサービス産業の生産性改善が著しい。一方、日本は、サービス産業の規制緩和が遅れ、生産性改善は 90 年代以降ほとんど進んでいない。IT 革命が日本では技術革新による成長につながっていないことを検証し、現実の直視を訴えている。

水野氏のデフレの時代の子想は、先に図 2 で示した一人当たり GDP の予測と符合するものである。途上国は、購買力平価に比べ割安な市場為替レートを維持しながら、猛烈な勢いで先進国の生活水準に向かって生産を拡大して行く。その過程では、為替調整をめぐる摩擦もありうる。そうした世界が、「超紛争」と一緒に、「超民主主義」の世界が来るまで続くことを想定しておく必要があるかもしれない。

因みに、多発するバブルについては、経済学者のカルメン・ラインハート氏とケネス・ロゴフ氏が過去 800 年間に発生した 66 カ国の金融危機を分析している。^[13] それによると、過去のバブルと比べて「今回は違う」といいつつバブルを生み出し崩壊する過程には、共通点が多いという。すなわち、銀行危機の後には政府債務が積み上がる。それは、銀行救済とともに、財政刺激策や歳入減少により財政赤字が増えるからである。これにより、先進国では、巨額の政府債務が成長を抑制することになり、途上国では、多くの場合、デフォルトが起こる。こうした状況も 21 世紀の世界では織り込んでおくことが必要であろう。

4. これからの 100 年の経営課題

これまで、これからの 100 年の経済社会を展望してきた。冒頭述べたように、これからの 100 年を「次の 100 年も…」と、気軽には言えない気がする。技術革新でも市場経済でも思いもよらぬ展開が 21 世紀の前半にも起こりうる。少なくとも 21 世紀は 20 世紀の延長線上にはないと見なければならぬ。ビジネスの観点からすると、ここには当然膨大なチャンスがありリスクもある。

こうした世界展望の中で、企業経営の観点から何が最も重要な課題かといえば、人材育成をあげる人が多いのではないだろうか。日本をここまで発展させてきたのも明治以降の教育制度のお蔭と言っても過言でない。表 1 は文部科学省資料に基づく最近の高等教育の国際比較である。日本の大学院学生数は、欧米諸国の水準に追いついていないどころか、韓国にも及ばぬ。一方、中国の大学生は急増している。質量ともに教育に投資をする余地は大きい。国として、21 世紀の最重要課題の一つは間違いなく教育投資である。一方、企業経営としてどうかと言えば、市場一体化が進展するグローバル時代には、日本だけでなく、世界から優秀な人材を確保し育成することがより重要な課題となる。日立の小平浪平創業社長が当時最初に行ったことは、優秀な人材を求めて大学を回ったことである。それは、21 世紀も変わらない。ただ、それをグローバルの観点から行うことが重要となる。

優秀な人材を確保したのち、彼らをどうモチベートして活かすか。社会生態学者を自任した P. F. ドラッカー氏に言わせれば、これからの 100 年は、このよう

表1 高等教育の国際比較

	高等教育在学者数			同、人口千人当り		博士号取得 (日米06年、 他07年)	教育投資 公私学校 (GDP比、 06年)
	大学以上			大学以上			
	千人	うち、 大学院	同、 大学院 比率	千人	うち、 大学院		
		千人	%		人		
日本 (2009年)	3,785	264	7.0	29.7	2.1	18	5.0
米国 (2006年)	17,759	2,574	14.5	59.4	8.6	61	7.4
イギリス (2007年)	2,477	508	20.5	40.6	8.3	17	5.9
フランス (2007年)	2,228	516	23.1	35.4	8.2	11	5.9
中国 (2007年)	25,286	1,195	4.7	19.1	0.9	-	-
韓国 (2008年)	3,561	301	8.5	73.3	6.2	9	7.3

注：高等教育財学者数には、大学、大学院、短大、専門学校、などのフルタイムおよびパートタイムを含む

韓国では、男子に26～30ヶ月の兵役義務があり、在学生の約3割は休学者

資料：文部科学省「教育指標の国際比較」（平成22年度版）

な知的労働者の生産性向上にかかっていると言うことになろう。^[14] その条件を大きいものだけで6つ挙げている。

- (1) 仕事の目的を考える。
- (2) 働くもの自身が生産性向上の責任を負う。自らマネジメントする。自律性をもつ。
- (3) 継続してイノベーションを行う。
- (4) 自ら継続して学び、人に教える。
- (5) 知識労働の生産性は、量より質の問題であることを理解する。
- (6) 知識労働者は、組織にとってのコストではなく、資本財であることを理解する。知識労働者自身が組織のために働くことを欲する。

さらに、P.F. ドラッカー氏の数ある企業経営についての至言の中で特に人の心を覚醒させるものに、「企業の目的は利益ではない。利益は企業存続の条件である」というものがある。^[15] 世の中では一般に、企業の目的は利益を極大化させることであると考えられがちだが、これは本末転倒した議論だと約40年前に指摘している。利益の極大化は、経済の理論モデルとして、様々な合理的結論を導くために有効な公理であり、実際には必ずしもいつも人間がそうした動機に基づいて経済活動をしているわけではない。利益をあげる前に、何か事業を起こしたいという明確な目的意識とそ

の共有化なしには企業は成り立たない。それでは、利益は何のために必要なのかといえば、企業が行う事業目的を達成するための不可欠な条件として必要だというわけである。すなわち、利益は、事業のリスクを十分カバーし、事業運営の原資であり、そして何よりも次の展開のための投資の源泉として必要なものといえる。近年、金融資本主義の跋扈を見るにつけ、そうした真理を悟るまでには、まだ数十年かそれ以上を要するとするのが、世界の識者の見方だといえる。

地球社会が成長の限界に近づく中で、人類に役に立つ事業をすることの重要性を考えるにつけ、これからの100年も高い志を持って臨まなければならない。

【参考文献】

- [1] Angus Maddison, The World Economy, OECD, (2006)
- [2] United Nations, <http://esa.un.org/unpp/index.asp>
- [3] United Nations, World Population in 2300, (2003)
- [4] Angus Maddison, <http://www.ggd.net/maddison>
- [5] D.H. メドウズ、D.L. メドウズ、J. ランダース、W.W. ベアランズ三世、成長の限界、ダイヤモンド社、(1972)
- [6] D.H. メドウズ、D.L. メドウズ、J. ランダース、限界を超えて、ダイヤモンド社、(1992)
- [7] D.H. メドウズ、D.L. メドウズ、J. ランダース、成長の限界 人類の選択、ダイヤモンド社、(2004)
- [8] ミチオ・カク、サイエンス・インポッシブル、日本放送出版協会、(2008)
- [9] レイ・カーツワイル、ポストヒューマン誕生、日本放送出版協会、(2005)
- [10] マーティン・リース、今世紀で人類は終わる？、草思社、(2003)
- [11] ジャック・アタリ、21世紀の歴史、作品社、(2006)
- [12] 水野和夫、100年デフレ、日本経済新聞社、(2003)
- [13] Carmen M. Reinhart and Kenneth S. Rogoff, This Time Is Different, Princeton University Press, (2009)
- [14] P.F. ドラッカー、明日を支配するもの—21世紀のマネジメント革命、ダイヤモンド社、(1999)
- [15] P.F. Drucker, Management, Harper & Row, Publishers, (1973)

エレクトロニクス産業の新展開

研究第三部 主任研究員 山田 廉一

1. はじめに

現在、われわれは多くのエレクトロニクス製品に囲まれ生活している。エレクトロニクス製品は、電球や電話機などの基本的な製品に始まり、その歴史は100年以上に及ぶ。その間、多くの製品が作り出され、改良が重ねられ、われわれの生活に深く浸透してきた。現在、このように成長を遂げてきたエレクトロニクス産業に、大きな変化点が到来する可能性が出てきている。

例えば、エレクトロニクス製品の高機能化、多機能化をけん引してきたLSI（大規模集積回路）技術の革新は、近い将来に鈍化すると考えられている。

技術面だけではなく、ニーズ面でも変化点が近づいているように見える。便利さを追求する目的で生み出されたエレクトロニクス製品は、われわれの生活水準を大きく引き上げた。これに伴い、われわれのニーズは、利便性の追及から、娯楽性やファッション性といった領域にまで拡張してきたように思える。また、環境問題や資源不足がグローバルな課題と認識される中、社会に貢献する価値へのニーズも高まっている。

エレクトロニクス産業はこのように、技術面、ニーズ面において、変化点に差し掛かっていると考えられる。本論文では、2～3章でこれらの変化点について、4章で今後のエレクトロニクス産業を支える技術について議論し、5章でまとめる。

2. エレクトロニクス産業の技術面における変化

今や、エレクトロニクス製品は実現機能の多くをLSIに依存している。LSIは、「ムーアの法則」と呼ばれる経験則に従い、他の製品分野では考えられぬほどの速さで高性能化を遂げ、エレクトロニクス製品に革命を起こしてきた。しかし、この「ムーアの法則」は、近い将来に終えんを迎えると考えられている。本章では、技術的な側面から、エレクトロニクス産業の変化点について議論する。

2.1. トランジスタの発明から半導体産業の成長

LSIの歴史は、1947年に、ベル研のビル・ショックレー、ウォルター・ブラッテン、ジョン・バーディーンによって動作確認されたトランジスタに端を発する。この3名はトランジスタ発明の功績により、1956年にノーベル物理学賞を受賞した。その後、テキサス・インスツルメンツ（TI）のジャック・キルビーはトランジスタを集積化する技術を開発し、1958年に世界初の集積回路（Integrated Circuits:IC）を試作した。キルビーは、この功績により、2000年にノーベル物理学賞を受賞した。

ICには、トランジスタの微細化を進め、集積度を上げることで、製造コスト一定のまま高性能化が実現できるという特徴がある。後にインテルを設立したゴードン・ムーアは、この点に着目し、1965年に、ICの集積度は18から24カ月で倍増すると『エレクトロニクス・マガジン』紙上で述べた。ICは集積化が進み、大規模集積回路（Large-Scale Integrated Circuit:LSI）と呼ばれるようになった。その後LSIは、40年にわたり、ムーアの述べた指針に従った集積化を継続し（図1）、やがてムーアの提言は、「ムーアの法則」と呼ばれるようになった。実際に1971年に発表された世界初のマイクロプロセッサ（MPU）の

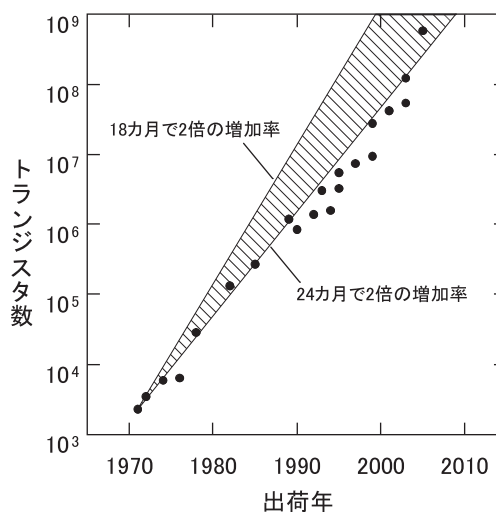


図1 マイクロプロセッサに搭載されたトランジスタ数の推移

トランジスタ加工寸法は10 μm であったが、微細化が進み、2009年現在、加工寸法は1/200以下の45nmに達している。

微細化を追求することで高性能化を実現してきたLSIは、半導体産業を大きく成長させ、2007年に世界市場規模は2,700億ドルに達した。これは、同年の通信を除くIT産業世界市場1兆3,000億ドルの2割強に相当する。(出典：2008年ガートナー公表資料)

2.2. ムーアの法則がもたらしたIT革命

では、技術の革新とともに、なぜLSI市場は急成長したのであるか。その理由の一つとして、クライアントアプリケーションであるパソコン(PC)の普及が挙げられる。1975年に世界で初めて発売されたPCは、1980年代に急速に普及し始めた。PCの演算処理に使われたマイクロプロセッサ(MPU)や、メモリとして使われたDRAMといったLSIの売り上げは、PCの普及に伴い、急速に伸びた。

LSIは売り上げを伸ばすと同時に、「ムーアの法則」に従い、コスト一定のまま、急速に性能を高めた。見方を変えると、性能当たりの価格が急速に低下したことになる。低コスト化したLSIは、当時は高価であったPCのみならず、多くのエレクトロニクス製品にも使われるようになっていった。それまでは、単体のトランジスタやダイオードといった、個別半導体が使われていたエレクトロニクス製品は、LSIが使われることで、格段に小さくなった。これにより、据付型であったエレクトロニクス製品の、ポータブル化、さらにはモバイル化が進んだ。ムーアの法則に従ったLSIの集積は処理速度の向上ももたらした。より複雑な制御や高速通信、データ処理が可能となり、エレクトロニクス製品のインテリジェント化とともにネットワークの拡大が進んだ。このように、ムーアの法則は、エレクトロニクス製品の普及とネットワーク化を進展させ、IT革命をもたらした。

2.3. 「ムーアの法則」の終えん

「ムーアの法則」における微細化トレンドを実現するには、継続的な設備投資と研究開発投資が必要である。このような投資の経済性は、LSIの基本構成要素である相補型MOSトランジスタ(CMOS)における、スケールリング則により保障されている。スケーリ

ング則とは、トランジスタの物理的縦横高さと電圧をそれぞれ2分の1にすると、機能は保障されたまま、高性能化(演算速度2倍)と低コスト化(面積4分の1)を同時に実現できるというデバイス物理の法則である。しかし、最小加工寸法が100nm以下にまで微細化した結果、スケールリング則を逸脱する課題が明らかになってきた。例えば、微細化に伴いトランジスタに使われている絶縁膜も物理的に薄くなることで電流の漏れ(リーク電流)が発生し、結果的に消費電力が増加するといった課題などである。これらの課題の解決には、従来のデバイス開発には使われていなかった、固体物理の知識や、新材料技術が必要になる。

従来の技術で解決できない課題は、今後微細化を進めるにつれますます増え、課題の難度も高くなると思われる。また、これらの課題を解決できたとしても、最終的には、トランジスタが正常動作できるためのサイズ限界や、加工技術の物理的限界といった、本質的な限界にたどり着くはずである。この限界は、加工寸法で10~20nm程度と考えられており、早ければ、10~15年程度で到達すると考えられている。ゴードン・ムーア自身も、2007年のインテル・デベロッパー・フォーラム特別講演で、微細化の物理的限界により、「ムーアの法則」は終えんに向かうと述べている。

しかし、エレクトロニクス製品の基本性能の多くは、LSIによって実現されている。LSI基本要素であるCMOSにおける「ムーアの法則」が終えんに向かうとも、エレクトロニクス製品の高性能化へのニーズが止まらぬ限り、LSIの進歩も止まらないはずである。このような中、LSIの技術潮流は3つの方向に分化し始めている。1つ目は「ムーアの法則」を限界まで追及する「モア・ムーア」と呼ばれる技術潮流である。前述の、固体物理や新材料による課題解決がこれに相当する。2つ目は、CMOSにおける「ムーアの法則」が終えんしたとしても、さらなる高性能化を実現すべく、CMOSとは異なる原理のデバイスを追求める「ビヨンドCMOS」という技術潮流である。そして、3つ目は、LSIにセンサなどの新たな機能を追加する「モザン・ムーア」と呼ばれる潮流である。「モア・ムーア」と「ビヨンドCMOS」はエレクトロニクス製品の高性能化の基盤となり、「モザン・ムーア」は高機能化や多機能化の基盤となる。

これらの技術潮流については、世界の第一線で活躍

されている研究者からご寄稿いただいた¹。

3. エレクトロニクス製品のニーズ変化

米国の心理学者であるアブラハム・マズローは、人間の欲求を階層化し、低次の欲求が満たされると、欲求は、段階的に高次のものに移行すると述べた。これをマズローの欲求階層と呼ぶ。この考えにのっとると、人間の欲求（ニーズ）により実現されるエレクトロニクス製品も、やはり、人間の欲求を低次のものから段階的に満たすことで進化していくと考えられる。以下、この考えを基に、エレクトロニクス製品の進化について議論する（図2）。

3.1. 利便性から文化的価値の創生

エレクトロニクス製品が人間の欲求を充足することで、欲求は新たな階層へ進み、製品も新たな進化のステージに進むと考える。エレクトロニクス製品進化の第1ステージでは、製品本来の基本性能が実現され、利便性が価値として提供される。この利便性が、われわれの生理的欲求や安全欲求を満たしてきた。電話や電化製品などに代表される基本的製品が提供する利便性がこれに当たるだろう。

基本性能に対する欲求が充足されると、次の段階として、われわれは、製品に対してぜいたくや楽しみといった欲求を持つようになる。このような個人の情緒から既に欲求を満たす価値を、文化的価値と呼ぶことにする。

例えば、1979年に発売されたウォークマンでは、

歩きながら音楽を楽しむという新スタイルが提案され、その格好良さが世界中の若者に支持された。また、2007年に発売されたiPhoneも、所有することや操作することによるワクワク感が世界中で受け入れられ、ヒット商品となった。

このように、エレクトロニクス製品の提供する価値は、利便性がもたらす基本的価値から、情緒に訴える価値である文化的価値に拡張し始めている。エレクトロニクス製品には、基本性能により実現される便利という価値を提供しながら、文化的価値により差別化される時代が到来している。

3.2. 社会的価値の創生

LSI技術の進展とともに、さまざまなエレクトロニクス製品が手ごろな価格で購入可能となる中、製品の進化は、第1ステージの基本的価値の実現から、第2ステージの文化的価値提供へ進展している。今後エレクトロニクス製品の普及が一層拡大していく中で、その実現すべき機能へのニーズはどのように変化していくであろうか。

近年になり、中国、インドをはじめとした新興国が急速な経済拡大を続ける中、資源不足や環境悪化がグローバル課題と認識されている。このような状況下、資源の再分配や再利用、環境配慮といった社会の持続可能性を意識した、エレクトロニクス製品や技術へのニーズが拡大するのではないだろうか。エレクトロニクス価値創生が求められると考えられる。

進化のステージ	第1ステージ	第2ステージ	第3ステージ
欲 求	生理的欲求・安全欲求	ぜいたく・娯楽的欲求	社会的欲求
提供価値	基本的価値		
		文化的価値	
			社会的価値
代表的 エレクトロニクス製品	・電話 ・電化製品	・ウォークマン ・iPhone	・ソーシャル家電 ・スマート・インフラ

図2 マズローの欲求階層に基づいた製品進化のステージ

1 「モア・ムーア」「ビヨンドCMOS」については、東京大学・平本俊郎教授から「半導体技術のイノベーション - More Moore と Beyond CMOS の融合 -」を、「モアザン・ムーア」の有望な応用分野として、東北大学・小柳光正教授から「バイオナノマシンが拓く社会」をご寄稿いただいた。また、「モアザン・ムーア」と「ビヨンドCMOS」の両面を持ち合わせた技術を、カリフォルニア州立大学バークリー・Tsu-Jae King Liu 教授から「Mechanical Computing Redux: Relays for Integrated Circuit Applications」としてご寄稿いただいた。

例えば、エレクトロニクス製品の社会的価値の一つとして、省エネが挙げられる。エレクトロニクス製品の省エネ技術は、従来、電気料金を下げたいというニーズから開発されてきた。日本においては、1970年代のオイルショック以来、特に精力的に進められている。エアコンで常識となったインバータ技術などが、その典型例である。

今後は、コスト意識だけではなく、環境負荷軽減といった社会的価値を提供するために、さらなる製品の省エネ化が進展するだろう。さらに、レアメタルや銅といった資源の有限性が既に顕在化している材料の使用低減や、リサイクルが容易な製品なども今後ニーズが拡大すると思われる。社会的価値を提供するコンシューマ系エレクトロニクス製品のようなさまざまなソーシャル家電の開発が今後進むことが期待される。

3.3. 社会インフラに広がるエレクトロニクス製品の社会的価値

エレクトロニクス産業が提供する社会的価値は、コンシューマ製品にとどまらず、社会インフラにも及ぶと考えられる。

例えば、これからの社会インフラには、環境保護やエネルギー効率向上との両立が求められるだろう。これを実現するための手段として、社会インフラを高度情報化し、最大限に効率化を図る、いわゆるスマート・インフラを実現するエレクトロニクス製品へのニーズが拡大すると考えられる。現在、このスマート・インフラは、電力網におけるスマート・グリッドにより先鞭（せんべん）がつけられようとしている。今後は、電力網に加え、水資源、医療システム、交通システムなどについても、スマート化が進むと思われる。

各社会インフラから、施設稼働状況やユーザの個別の利用状況などに関してきめ細かく情報を収集し、ダイナミックにインフラの調整を行うためには、センサやアクチュエータの技術、膨大な情報処理と環境負荷軽減を両立するための省エネ化技術などが不可欠になると考えられる。

4. 技術の新潮流

エレクトロニクス製品の基本的価値は利便性にあり、この利便性はLSIが搭載されることで格段に向上した。一方で、半導体産業をけん引してきた「ムー

アの法則」が終えんに向かいつつある中、エレクトロニクス製品の価値は、コスト削減や利便性の向上から文化的価値や社会的価値へと拡張し始めている。このような中、エレクトロニクス技術には、どのような発展の可能性があるだろうか。

4.1. システム融合技術

革新的な技術を創出していくためには、時には従来の延長線上にはない、異分野のアイデアが鍵を握る場合がある。特に、LSI技術の成長の限界点、社会的なニーズが持続可能性に変化していく中では、情報・通信と環境技術、ライフサイエンス、人間科学などの異分野の技術融合を進めていくことが重要である。

例えば、前出のiPhoneでは、キーボードなしで操作するというコンセプトが提案され、それが、タッチパネルセンサと独自のインターフェース技術の融合により実現された。インターフェース技術に人間科学が融合されることで、操作性の良さが実現され、さらにはワクワク感も生み出された。また、いつでもどこでもコンテンツを楽しめるというコンセプトも提案し、そのための仕組みとして、インターネット上にiTunes storeを用意した。iPhoneでは、ハードウェアのみならず、インターネット（情報・通信技術）も含めたシステム融合により、文化的価値を実現した。

社会的価値を創生するスマート・インフラの実現にも、システム融合は大きなインパクトを与えると思われる。例えば、スマート・グリッドは、電力網に、情報・通信技術が融合されることで実現される新社会インフラである。地球温暖化による気候変動や世界的な人口増加は、水不足や食料不足を引き起こす可能性がある。このような背景下、水資源を有効に活用する社会インフラである、スマート・ウォーター・グリッドへのニーズが高まるといわれている。水資源を有効に活用するスマート・ウォーター・グリッドは、上下水道の制御技術、情報・通信技術、水資源再生、再利用のための環境技術、ライフサイエンスなどの融合により実現されるであろう。

今後、このようなシステム融合技術が、エレクトロニクス製品の創造のためのキーテクノロジーの一つとなるはずである。この技術潮流は、将来、LSIの微細加工技術の進展速度が鈍化することで、さらに急加速すると考えられる。

4.2. データ・セントリック時代からナレッジ・セントリック時代へ

LSIは、エレクトロニクス製品にIT革命をもたらし、われわれは膨大な情報を容易に入手できるようになった。この時期、価値の源泉はLSIのプロセッシング（情報処理）能力にあり、膨大な情報を瞬時に手にできることに大きな価値があった。この時代をデータ・セントリック時代と呼べるであろう。

21世紀は、資源不足や環境悪化がグローバルな課題となる世紀で、社会的価値へのニーズが高まるものと考えられる。このような課題の解決には、資源の需要と供給のアンマッチや、消費の無駄を可視化させ、対策を講じる仕組みが必要である。例えば、各所に設置されたセンサからリアルタイムで情報を収集する技術や、膨大な情報を解析し、そこから最適化に必要な知識（ナレッジ）を抽出し、制御する技術も必要である。このように、個別の情報ではなく、集めた情報から抽出した知識（ナレッジ）を社会貢献に活用するナレッジ・セントリック時代が到来すると考えられる。

例えば、スマート・グリッドであれば、各家庭に設置されたスマート・メータから電力使用状況のデータが収集される。これにより、各地の風力発電や太陽光発電などのマイクロ発電の状況も収集される。また、各地の気象予測から、各地のエネルギー使用量が予測できるだろう。これらの膨大なデータが、情報技術によりリアルタイムでナレッジ化されることで、最も効率のよい発電をするための、発電量、電力の分配などが決定できる。ナレッジ・セントリック時代においては、今まで以上に膨大なデータを収集するための通信技術、それをリアルタイムでナレッジ化するための情報技術が不可欠である。特に、事前に決められたル

ルにのっとって情報をプロセッシングするのではなく、自律的にデータの意味付け、関連付けをし、状況に合わせてルール、情報を更新していくような動的な処理が必要となる。そして、これらの情報処理は、同時多発的に発生していく。生のデータをそのまま情報解析基盤に集めるのではなく、情報伝達の途中で、データを集約、または、ある程度のナレッジ化、意味付けが必要になるかもしれない。そのためには、通信ノードのインテリジェント化が必要になる可能性がある。

4.3. 新時代のキーデバイス

システム融合技術やナレッジ・セントリック時代の情報・通信技術の基盤となる半導体デバイスは、集中的な情報処理を前提とした強力なプロセッシング能力を持つものよりも、必要に応じて協調、分散処理を使い分けるダイナミックさ、自律性、インテリジェント性を兼ね備えたものが求められると考えられる。加えて、現在、化石エネルギーの枯渇と温室効果ガス低減は、喫緊（きつきん）の課題であり、この課題解決に資するエレクトロニクス製品が求められるだろう。そうした半導体として、太陽光発電セル、振動発電素子、熱発電素子などの創エネデバイスと、電流制御用半導体であるパワーデバイスが挙げられる。これらのデバイスの技術開発が、今後の半導体業界において、大きな比率を占めていくものと考えられる。

このような中、LSIをはじめとしたデバイスが新たな価値を生み出すには、技術の融合により、従来とは異なる機能を生み出す必要が特に求められる。センサ技術をLSIに搭載するなどして、新たな価値を生み出す「モザン・ムーア」の技術潮流もこれに相当する。（図3）

		DRAM時代（～1980年代）	システムLSI時代（1990年代～）	成熟産業時代（2020年代～）
技術潮流	課題	・微細化プロセス（How to make） ・設計力（What to make）	・ファウンダリカ（How to make）	・ビジネス力（How to make a business）
	技術	・ムーアの法則	・モア・ムーア（微細化のさらなる追求）	・ムーアの法則終えん ・ビヨンドCMOS ・モザン・ムーア（新機能追求）
付加価値		・微細加工技術 ・プロセス技術	・組み込みシステム技術 ・IP、ソフトウェア ・インテグレーション技術	・新機能 ・インテリジェント ・創エネ、省エネ

図3 半導体デバイスの技術潮流と付加価値

今後多様なエレクトロニクス製品の開発を一層活発にさせていくためには、電子デバイス製造を低コスト化させる開発基盤も一つの技術潮流になると考えられる。システム LSI を中心に広がる、ファブライト化、ファブレス化と、ファウンダリへの製造委託は、この流れに合致した潮流である。従来は微細化が進むたびに製造装置を含めた製造ラインのコストが上昇してきたが、微細化が進まなくなる今後は、設備の低コスト化が一層進んでいくと思われる。

図4は、LSIの各製造工程が生み出す付加価値の比率推移を、2003年と2007年で比較したものである。LSIデバイスメーカーや製造ファウンダリなどのデバイス製造が生み出す付加価値の比率が大きく低下する一方で、製品企画から設計を行うファブレスの比率が大きく増加している。また、パッケージを専門に行う後工程サブコンの比率も増加していることがわかる。

今後は多様なデバイス開発が進展していく中で、デバイス製造のファブライト化やファブレス化の水平分業がますます加速すると思われる。

5. まとめ

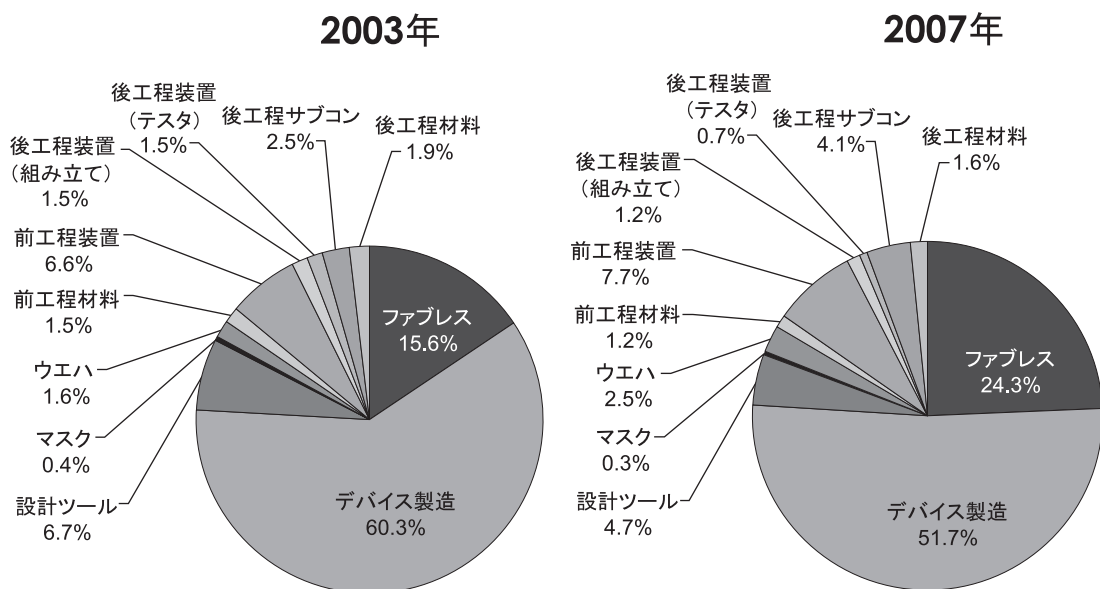
われわれの生活に深く浸透したエレクトロニクス製品だが、現在、技術面、ニーズ面において変化点に差し掛かっている。

利便性を追求するために生み出されたエレクトロニ

クス製品は、LSIが搭載されることで、急速に高性能が進んだ。しかし、現在のCMOS技術を基本としたLSIは、近い将来に高性能化の速度が鈍るといわれている。いわゆる「ムーアの法則」の終えんである。

一方で、アプリケーションサイドからは、コンピューティングパワー向上へのニーズは強い。例えば、グラフィック・プロセッサで躍進するnVidiaは、電子デバイスの国際会議であるIEDM2009のプレナリ・セッションで、これまで以上にコンピューティングパワーの向上が望まれると主張した。今後、コンピュータゲームの3D(3次元)化に伴い、この要求はさらに高まると思われる。

利便性を追求して生み出されたエレクトロニクス製品は、高性能化が進み十分な基本的価値を実現するに至った。そして現在、市場ニーズは文化的価値や社会的価値に広がりつつあると考えられる。今後のエレクトロニクス産業は、これらの変化を追い風とし、新たな潮流を生み出していく必要がある。20世紀末に高度化したエレクトロニクス製品の価値源泉はLSIにあったが、新たな潮流で生み出される製品の価値源泉は、システム融合技術や、ナレッジ・セントリック時代における情報・通信技術となるであろう。そして、これらの技術や概念の基盤となる、新デバイスが必ずや登場し、新時代のエレクトロニクス産業を支えていくことが期待されている。



注: LSI製造工程を11のカテゴリに分割し、それぞれのカテゴリが生み出す付加価値を、その代表的メーカーの財務諸表より見積もった。

図4 LSIの各製造工程が生み出す付加価値の比率推移

半導体技術のイノベーション — More MooreとBeyond CMOSの融合—

東京大学生産技術研究所
教授 平本 俊郎

CONTENTS

1. 半導体デバイスの微細化と限界
2. 集積エレクトロニクスの3つのアプローチ
3. CMOSのさらなる発展：More Moore
4. 新原理デバイス：Beyond CMOS
5. 集積エレクトロニクスの将来展望

現在の高度情報化社会を根底で支えている技術は、紛れもなく半導体技術による集積エレクトロニクスであろう。現在のCMOS大規模集積回路を構成するMOSトランジスタは、過去40年にわたって性能向上と集積度向上のため微細化を続け、ゲート長は30nm程度にまで短くなった。今や情報機器の性能は、半導体集積回路の性能によって決まっている。しかし近年、単なる微細化だけではトランジスタの性能向上が難しいことが明らかになってきた。そこで、微細化に頼らずにトランジスタ性能を向上させCMOS集積回路をさらに発展させる技術の開発が進んでいる。一方、微細化限界が近いといわれるCMOS技術に代わって、従来のCMOSとは原理を異にするいわゆるBeyond CMOSデバイスが注目を集め、盛んに基礎研究が行われている。このように、半導体集積エレクトロニクス技術は曲がり角を迎えている。

本稿では、MOSトランジスタ微細化の現状と課題を概説した後、CMOS技術をさまざまな方法でさらに発展させるいわゆるMore Moore技術の動向を紹介する。また、全く新しい原理に基づくBeyond CMOSとその位置付けについて議論する。筆者の考えでは、ポストムーアの法則の時代においても、従来CMOSの延長技術であるMore Mooreは依然としてすべての半導体の基盤技術として重要であり、そこにさまざまな異種技術が融合したExtended CMOSと呼ぶべき新しい技術領域に半導体は発展していくと思われる。

(ひらもと としろう) 1989年東京大学工学系研究科電子工学専攻博士課程修了。同年(株)日立製作所デバイス開発センタ入社。高速BiCMOS SRAMの開発に従事。1994年東京大学生産技術研究所助教授。2002年より現職。専門は集積デバイス工学。低消費電力トランジスタ、微細デバイスの特性ばらつき、シリコンナノワイヤトランジスタ、単電子トランジスタなどの研究に従事。2006年から半導体MIRAIプロジェクト「ロバストトランジスタプログラム」リーダー。2006年から2010年3月まで日本半導体ロードマップ委員会ERD-WGリーダー。2009年応用物理学会フェロー。

1. 半導体デバイスの微細化と限界

微細化は、まさにトランジスタ技術開発の指導原理であった。微細化により集積回路の高速化、低消費電力化、高集積化、低コスト化が同時に達成できたのである。この微細化のメリットは、スケーリング則としてまとめられている^[1]。

図1に、実際のMOSトランジスタ微細化の様子を示す。1970年以降3年ごとに、トランジスタのゲート長は約0.7倍に微細化されダイナミックランダムアクセスメモリ(DRAM)の容量は4倍に増えた。1990年代以降はDRAMに代わってマイクロプロセッサ(MPU)が微細化をけん引するようになり、ゲート長の微細化はそれ以前の傾向より早く進んできた。

トランジスタの微細化を製造レベルで進めるのは実際には非常に難しい。そこで1970年代以来、各種の半導体微細化限界論が展開された^[2]。MOSトランジスタの歴史は限界論との闘いの歴史でもあったのである。これまでに、酸化膜耐圧の限界、リソグラフィの壁、短チャネル効果、離散不純物ゆらぎの壁など、さまざまな微細化限界論が提唱された。しかし、半導体技術者はそのたびごとにさまざまなイノベーションを実現し、ことごとくこれらの限界論を打ち破った。そして、ゲート長が100nmを大きく下回る現在に至ったのである。

ところが、トランジスタサイズがナノの領域に入り、いよいよ種々の限界要因が顕在化してきた。単に微細化しても集積回路としての性能が向上しなくなってきたのである。性能向上を阻む要因は主に次の4つに大

別される。

- (a) 各種寄生効果による回路スピード向上の頭打ち
- (b) 電源電圧が下がらないことによる消費電力増大
- (c) 短チャネル効果などによるリーク電力増大
- (d) 寸法ゆらぎと離散不純物によるばらつき増大

これらの4項目は互いに関連している。微細化するとトランジスタの寄生抵抗や寄生容量が無視できなくなり、遅延時間の向上が難しくなる (a)。そこでスピードを向上させようとすると電源電圧を下げることができず、消費電力が増大してしまう (b)。一方、微細化により短チャネル効果の抑制が困難となりリーク電流が増大する (c)。また、微細化により寸法ばらつきや離散不純物ゆらぎが顕在化し、特性ばらつきが増大する (d)。これらの影響を抑えるためにしきい値電圧を上げると、スピードが劣化し (a)、スピード劣化を防ぐために電源電圧を上げると消費電力が増大する (b)。

このように、微細化が進むと理想的なスケールリング則が当てはまらなくなり、スケールリングするメリットが失われてしまう。ポスト Moore の法則の時代といわれるゆえんである。スケールリングのメリットがなくなり CMOS 集積回路の性能向上が頭打ちとなると、半導体技術ひいては情報技術の進展も終えんを迎える恐れがある。そこでこれらの限界を打ち破りさらなる持続的な集積エレクトロニクスの性能向上を目指すために、さまざまなアプローチが世界中で模索されている。

2. 集積エレクトロニクスの3つのアプローチ

集積エレクトロニクスのさらなる発展を目指す技術にはさまざまなアプローチが存在するが、これらを大別すると主に下記の3つに分類される^[3]。

2.1. More Moore

第一は、あくまで CMOS そのものの性能向上にこだわるアプローチである。微細化以外の方法も含めたあらゆる手段を用い、MOS トランジスタの動作原理は基本的に変えずに CMOS 集積回路の性能を向上させる。このアプローチは、すなわち CMOS の延長技術であり「CMOS Extension」と呼ぶべきものである。一方で、Moore の法則をさらに進展させるという意味合いから「More Moore」と呼ばれることがある。

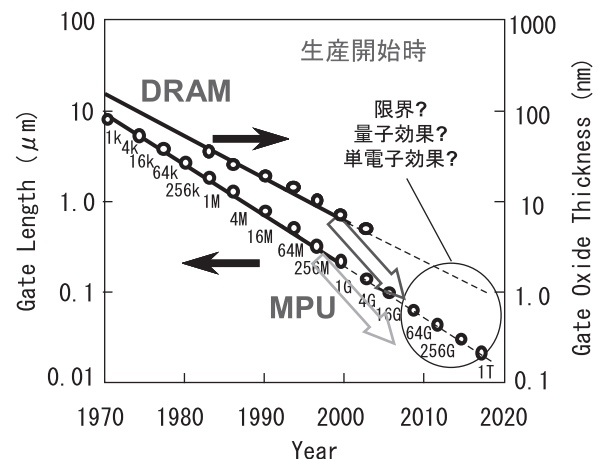


図1 MOSトランジスタ微細化の時間推移。なお、ごく最近の微細化動向については図5で説明する。

もしこれらの More Moore 技術により集積回路の性能がさらに持続的に向上するなら、シリコンプラットフォームと呼ばれる従来のシステム設計・回路設計の資産を現状のまま利用することができるので、これが明らかに最も社会的波及効果の大きな技術であろう。

2.2. More Than Moore

More Moore とは全く異なるアプローチも進んでいる。一般に MOS トランジスタはセンシングや機械的動作などを行うことはできない。すなわち、MOS トランジスタのみで実現可能な機能は極めて限られているといえる。そこで CMOS チップ上にセンサや MEMS (Micro Electro Mechanical Systems) を集積し、MOS トランジスタだけでは実現が不可能な多様な機能を付加しようという試みが進められている。個々のデバイスの性能は従来と変わらないが、従来にない新機能が追加されることによってトータルのチップ性能やシステム性能を向上させる可能性がある。これは、微細化やデバイス性能向上を追求する More Moore とは根本的に異なるアプローチであり、「More Than Moore」と呼ばれることがある。なお、More Than Moore の詳細については他項に譲り、本稿では詳しく扱わない。

2.3. Beyond CMOS

一方、CMOS にこだわる限り性能限界に近いという考えに基づき、CMOS を用いずに CMOS とは全く異なる原理で動作するデバイスで情報処理を行おうと

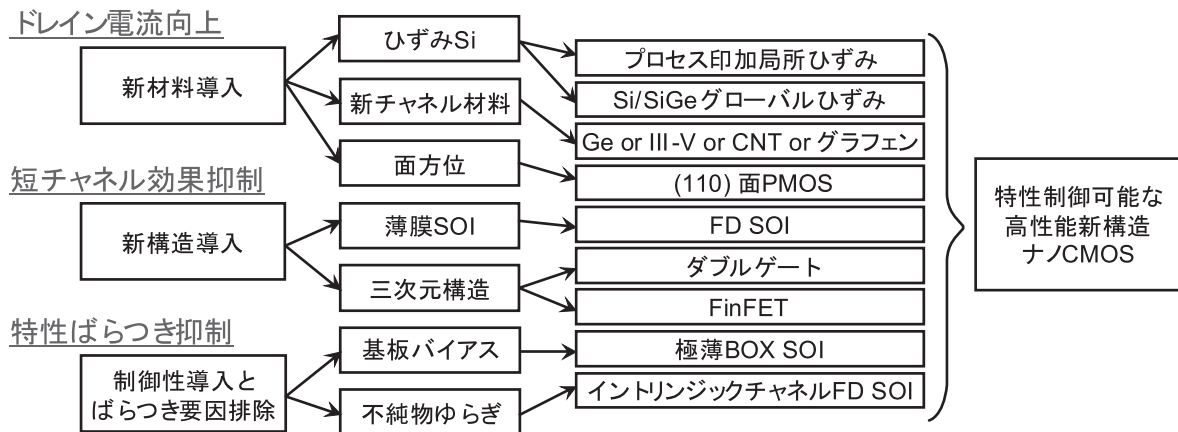


図2 微細化に頼らずにMOSトランジスタをさらに性能向上させる技術の分類。文献[4]の図面をもとに修正。

する研究が近年非常に注目されている。このアプローチは、CMOSを置き換えることを目指しCMOSを超えるという意味で「Beyond CMOS」と呼ばれている。これらの新原理デバイスでは、従来の半導体とは全く異なる新しい材料やナノ領域特有の新しい物理現象を積極的に用いることが期待される。一般にこれらの基礎研究分野では日本は非常に強いとされている。代表的な例はスピンを用いたスピン素子、強相関電子材料を用いた素子、原子の動きを用いた原子スイッチ素子、分子の機能を利用した分子素子などである。これらの新材料・新原理デバイスは、特に不揮発性メモリへの応用が期待され、激しい開発競争が繰り広げられている。

3. CMOSのさらなる発展：More Moore

3.1. More Moore 技術の分類

本節では、CMOSのさらなる発展を目指すMore Moore技術について述べる。第1節で述べたとおり、MOSトランジスタの性能向上を阻む要因は複雑に絡み合っている。単なる微細化ではこれらの課題は解決しない。微細化に頼らずにこれらを解決する方策^[4]は主に次の3つに要約されると考えられる。

- (A) 新材料の導入によるドレイン電流向上
- (B) 新構造の導入による短チャネル効果抑制
- (C) 特性制御性の導入とばらつき要因排除による特性ばらつき抑制

これらの解決策の具体例を図2に示す^[4]。

3.2. 新材料の導入

このうち、すでに一部実用化されてMOSトランジスタの性能向上に大きく寄与しているのが(A)の新材料導入である^[5]。ひずみの導入による移動度向上は、ゲート長を微細化しなくてもMOSトランジスタの性能を向上させる。90nm技術で初めて導入されて以来、不可欠な技術として広く用いられている。図2には示していないが、シリコン酸窒化膜とポリシリコンゲートに代わるhigh-k絶縁膜とメタルゲート技術も、物理的膜厚のスケーリングは行わずとも、MOSトランジスタの性能向上に大きく寄与している。

さらに性能向上を目指して、近年研究が進んでいるのが、MOSトランジスタチャネルへの新材料導入である。動作原理が電界効果トランジスタ(FET)で回路構成がCMOSであれば、MOSトランジスタのチャネル材料は必ずしもシリコンである必要はない。最近ではhigh-k絶縁膜の研究開発の進展により、シリコン以外の材料にも良好な絶縁膜界面が得られるようになってきた。そこで、シリコンより移動度の大きな材料をチャネルに用いる研究が盛んに行われている。具体的には、nFETには電子移動度が高いIII-V族半導体、pFETには正孔移動度が高いGeが候補として挙がっている。

3.3. 新構造の導入

トランジスタが微細化すると、短チャネル効果によりリーク電流が増大する。短チャネル効果を抑制するためには、チャネルに対するゲート電極の制御性を強くすればよいことが知られている^[4]。現在のMOSト

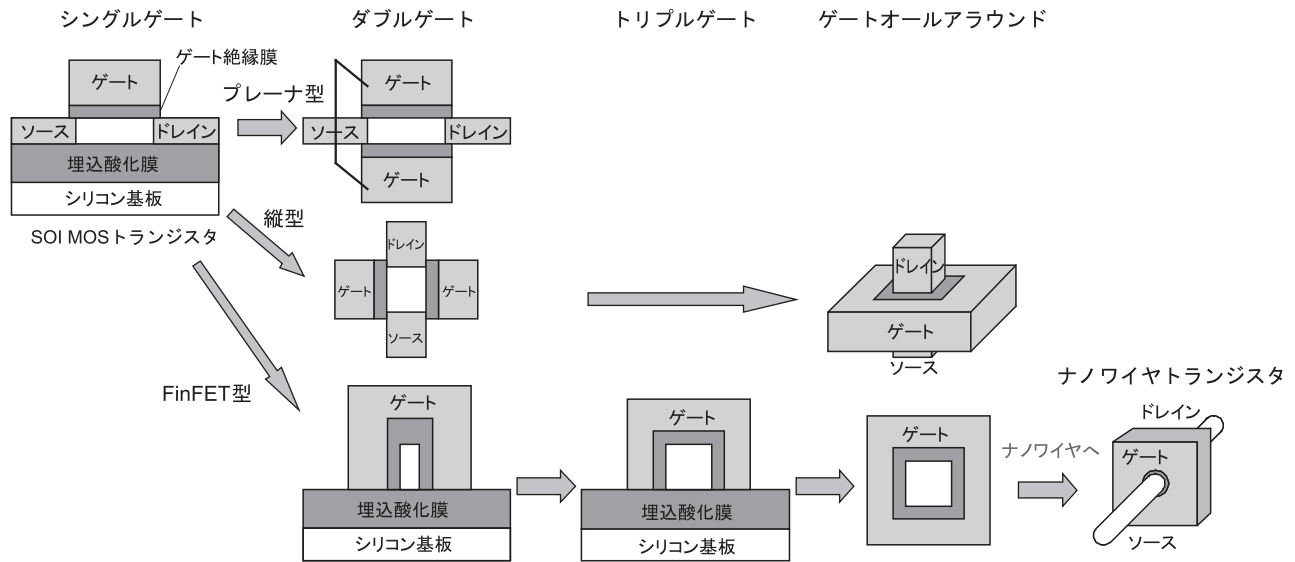


図3 MOSトランジスタ構造の進化。文献[4]の図面をもとに修正。

ランジスタでは、バルク基板上にゲート電極が1つだけ存在している。チャンネルの深いところをサブスレッショルドリーク電流が流れてしまうが、ゲート電極1個ではこれを完全に遮断することが難しい。そこで、ゲート電極を2つ設けてチャンネルを両側から挟む構造にしたのがダブルゲートトランジスタである。さらに、チャンネルをゲート電極で囲めば、チャンネルの静電特性はゲートにより支配され、リーク電流はより完全に抑えられる。

図3にトランジスタ構造の進化を示す^[4]。ダブルゲート構造にはチャンネルや電流方向の向きによって3種類の形態が存在する。このうちFinFETと呼ばれる構造がデバイス作製上の容易さから注目を集めている。さらにゲートでチャンネルを囲んでゲートの制御性を高めた構造は、シリコンナノワイヤトランジスタ構造へと発展していくものと期待される。FinFETやナノワイヤトランジスタはまだ実用化されていないが、リーク電流抑制の観点から将来の有力なデバイス構造であることは間違いない。

3.4. 特性ばらつき抑制

特性ばらつき抑制技術は、ばらつき具合に応じて特性を制御して特性を保証する方法と、特性ばらつきの根本原因を排除する方策とに分類される。前者には基板バイアスの利用が効果的である。基板バイアス印加によるしきい値電圧制御は、チップごとのばらつき補

償には有効であるが、チップ内のランダムなばらつきに対しては無効である。

チップ内のランダムな特性ばらつきは、主にチャンネル内の離散的な不純物のゆらぎに起因することが明らかになっている^[6]。不純物ばらつきの影響を抑えるためには、チャンネルに不純物を含まないイントリンジックチャンネルトランジスタの利用が効果的である。しかし、仮に不純物ばらつきが抑えられたとしても、ナノスケールのトランジスタでは不純物以外のばらつき要因が顕在化することが予想される。例としては、ゲート電極などのラインエッジラフネス、メタルゲート電極のグレインによる仕事関数ばらつき、半導体・絶縁膜界面の界面準位に起因するランダムテレグラフノイ

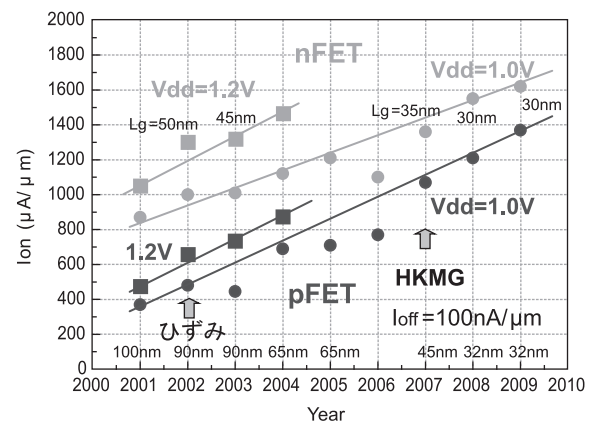


図4 IEDMで発表された最先端トランジスタのドレイン電流 (Ion)の年次推移。HKMGはhigh-k/メタルゲートを指す。

ズなどが挙げられる。従って、ナノスケールトランジスタでは、すべてのばらつき要因を考慮した総合的なばらつき対策が強く求められる。

3.5. 最新のデバイス性能

微細化以外の技術でどの程度実際のトランジスタ特性が向上したかを調べるために、図4に国際電子デバイス会議 (IEDM) で発表されたトランジスタの性能を示す。その年で最もドレイン電流 (I_{on}) が大きいトランジスタをプロットしている。サブスレッショルドリーク電流 (I_{off}) は $100\text{nm}/\mu\text{m}$ で一定としている。縦軸はゲート幅で正規化したドレイン電流であり、スケールリング則によれば、微細化しただけではこの数値は増大しない。

図に示したとおり、電源電圧 V_{dd} が一定にもかかわらず、ひずみ技術の導入や high-k/メタルゲート技術の導入によりドレイン電流が年々増大していることがわかる。特に pFET ではひずみ技術が極めて効果的に働き、ドレイン電流が nFET に迫る勢いで増大している。このように、既に微細化に頼らない More Moore 技術は実用化され MOS トランジスタの性能向上に寄与していることが実データ上で明らかになっている。

図5に、国際半導体技術ロードマップ (ITRS) による MOS トランジスタのゲート長の将来予測を示す。ITRS は2年ごとに更新されるので、ここでは過去の版も示してある。また、実際に製品化されたマイクロプロセッサにおける MOS トランジスタのゲート長も比較のためプロットした。2001年版から2007年版まで、ITRS のゲート長予測は変わらなかった。実際、製品のゲート長は、2005年までは ITRS の予測と一致していた。ところが、2007年に製品化された MOS トランジスタ (45nm 技術) のゲート長は、ITRS の予測より長いものであった。これはこの年に high-k/メタルゲート技術が導入され、微細化しなくてもトランジスタの性能が向上したからである。そこで、ITRS の2009年版では製品の傾向に合わせてゲート長の微細化予測を変更し、これまでより3~4年ほど微細化を遅らせる予測となった。

このように、新材料の導入はまさに More Moore 技術におけるイノベーションであり、微細化の傾向にも影響を与えている。ITRS ではゲート長の微細化が一時的には止まったものの将来的には続く予測

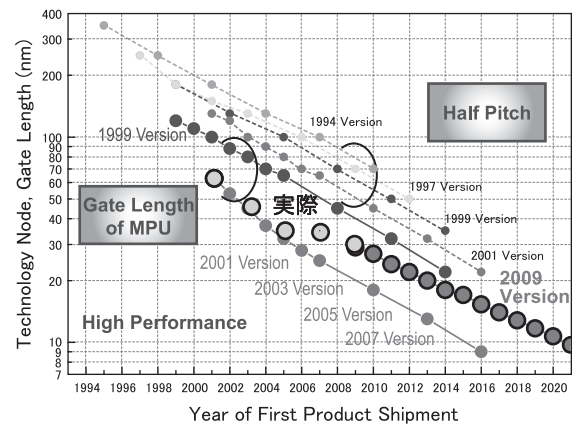


図5 国際半導体技術ロードマップ (ITRS) による MOS トランジスタ微細化の予測。実際の製品におけるゲート長もプロットしている。

しており、今後は微細化と新技術導入の合わせ技で、MOS トランジスタのさらなる性能向上が続いていくと期待される。

3.6. カーボンナノエレクトロニクス

3.3節でチャンネル新材料について述べたが、最近では自己組織化によって形成されるカーボンナノチューブ (CNT) やグラフェンをチャンネルとする FET の研究が盛んに行われている^[7]。理由は、これらの材料がシリコンに比べて非常に大きな移動度を有するからである。このようなカーボン系チャンネル材料による FET は、これまでの半導体と作製プロセスなどが大きく異なるため、Beyond CMOS に分類されることがある。しかし、もし CNT FET やグラフェン FET が実現されたとしたら、その動作原理は従来の CMOS と同じ FET である。また、もし集積化が実現したなら、用いられる回路は間違いなく待機時電力を抑制するため CMOS 回路になるであろうと想像される。従って、これらの新チャンネル材料を用いたデバイス技術は CMOS 回路の性能をさらに向上させるという意味で、やはり More Moore に分類されるべきものと考えられる。

CNT やグラフェンは作製技術が未熟である上に、バンドギャップが小さくリーク電流が大きいなどの致命的な課題を抱えている。しかし、このような新チャンネル材料が実用化されれば、More Moore 技術の大きなイノベーションとなることは確実である。今後の研究の進展に期待したい。

4. 新原理デバイス：Beyond CMOS

4.1. 電荷を用いる Beyond CMOS

現在の CMOS 回路においては、情報処理の担い手は電荷である。電荷の有無でデジタル回路の 1 と 0 を表現している。このような情報処理の表現手段は「状態変数」と呼ばれる。Beyond CMOS は、CMOS 置き換えを狙った CMOS とは異なる原理に基づくデバイスを指すが、状態変数が CMOS と同じ電荷であれば、動作原理は異なっても回路的には利用しやすいデバイスであるといえる。

このような電荷を状態変数とする Beyond CMOS には、急峻なサブスレッショルド特性を有するトンネルトランジスタ^[8]や単電子トランジスタを挙げることができる。特に前者は、ここ 2～3 年で急激に論文数が増加したホットなデバイスである。通常の MOS トランジスタでは拡散電流が支配的になるためサブスレッショルド係数は室温では 60mV/dec が下限値である。トンネルトランジスタでは、トンネル電流が流れるため、60mV/dec より急峻なサブスレッショルド特性が得られる。まだ、ドレイン電流が極端に小さいなどの問題を抱えているが、将来のトランジスタ候補として期待されている。

4.2. 電荷以外を用いる Beyond CMOS

電荷以外の状態変数で期待されているのは「スピン」である。電子は「スピン」という物理量を有している。スピンを積極的に利用して新しい機能発現およびデバイス応用を目指すスピントロニクスという研究分野が大きく発展しつつある。半導体ではトンネル磁気抵抗効果 (TMR) を用いた磁気抵抗 RAM (MRAM) が広く知られており、不揮発性メモリとして一部実用化されている。メモリ応用以外にも、スピンを状態変数として情報処理を行うロジックデバイスへの応用が大いに期待されている。ところが、本来の意味でスピンを状態変数として用いているロジックデバイスは残念ながらほとんど提案されていない。

一方、スピントランジスタは各種提案されている^[9]。いずれも従来のトランジスタにスピンの要素を組み合わせたもので、状態変数は従来のトランジスタと同じく電荷である。従って、スピントランジスタは本来なら 4.1 節に分類されるべきトランジスタである。従来

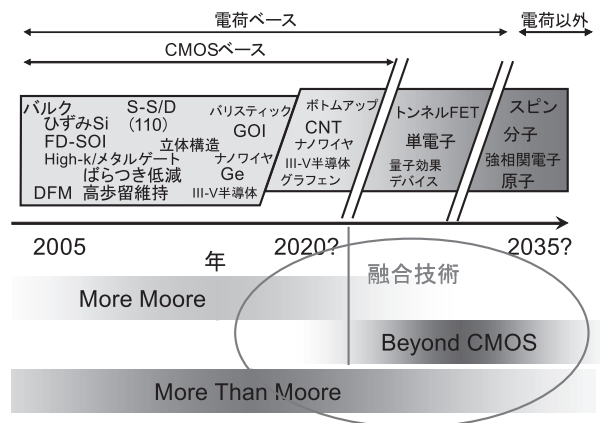


図6 集積ナノデバイスマップ。More Moore、More Than Moore、Beyond CMOS の関係を図示している。

のトランジスタに不揮発性という新機能が加わったと考えると理解しやすい。スピン MOS トランジスタの不揮発性を利用した再構成可能なロジック回路などが実験により実証されている。

原子スイッチと呼ぶべき究極のスイッチも提案されている^[10]。これは、原子の動きを操作して電極への接触・非接触でオン・オフするもので、まさに究極の不揮発スイッチである。原子スイッチは各種研究されているが、最も有望視されているのは固体電解質中で電界により原子の動きを制御してオン・オフさせるスイッチデバイスである。原子スイッチの状態変数は、原子そのものにとらえることができるが、スイッチのオン・オフで変化するのは電気抵抗であり、結局情報の担い手は電荷である。従って、原子スイッチも電荷を用いた Beyond CMOS デバイスと分類されよう。不揮発性の原子スイッチを CMOS と融合させたプログラマブル回路などが実験で実証されている。

5. 集積エレクトロニクスの将来展望

本節では、これまでの議論と More Moore および Beyond CMOS の研究動向をかんがみ、More Moore、More Than Moore と Beyond CMOS の相互関係を明らかにするとともに、将来の集積エレクトロニクスを展望する。

5.1. 集積ナノデバイスマップ

将来の集積エレクトロニクスを展望するために、集積ナノデバイスマップを作成した。図6に More

Evolution of Extended CMOS

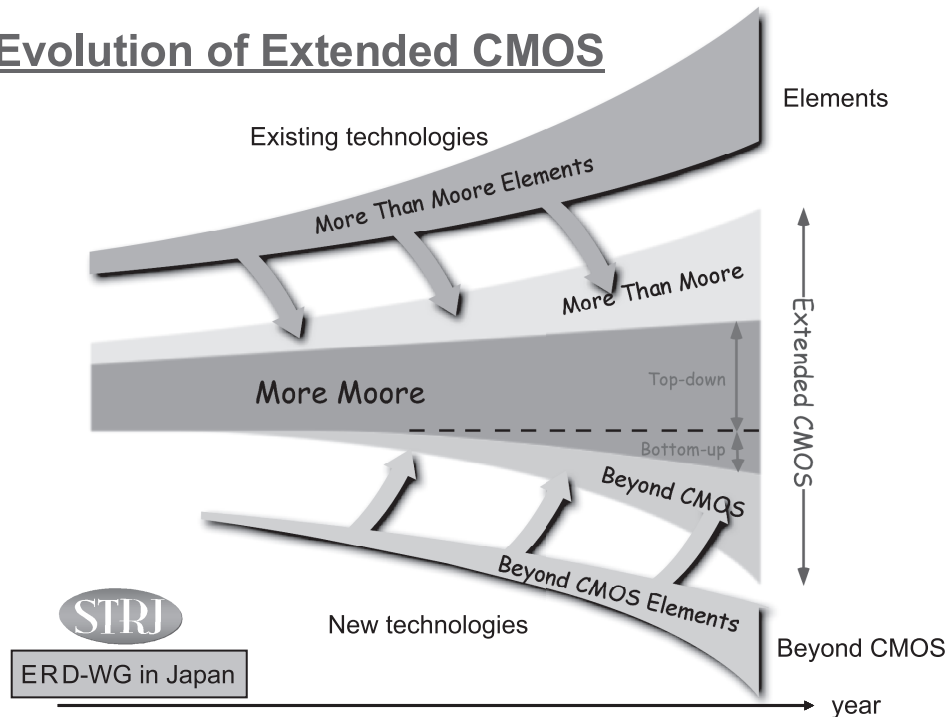


図7 集積ナノエレクトロニクスのビジョンマップ。

Moore、More Than Moore、Beyond CMOS の関係と集積ナノデバイスの技術候補を示す。ここでは集積ロジックデバイスに話を限定し、メモリデバイスは除外するものとする。

現在の大規模集積回路は当然ながら CMOS ベースであり More Moore 技術に相当する。その作製プロセスは、リスグラフィとエッチングによるいわゆる「トップダウン」プロセスである。More Moore 技術では新材料・新構造の導入が続くものの、ばらつき低減策なども併せて行う必要があり、技術課題が山積している。一方、CNT やグラフェンのような自己組織化プロセスによるいわゆる「ボトムアップ」プロセスが実現する可能性がある。前述の通り、これらはトランジスタが FET であり回路が CMOS 回路であるなら CMOS ベースであり、すなわち More Moore 技術である。

その後に、CMOS に代わる Beyond CMOS デバイスが登場する可能性がある。このうちトンネルトランジスタや単電子トランジスタは、前述の通り「電荷ベース」のデバイスに分類される。「電荷ベース」デバイスのさらに先には、状態変数が電荷ではない Beyond CMOS デバイスが登場する可能性がある。

一方、More Than Moore は、CMOS への新機能追

加である。いかなる新機能であっても CMOS に追加・融合されれば More Than Moore に分類されると考えられるので、この図上では More Than Moore は全領域をカバーするものと考えられる。

前節で概説した通り、新原理で動作するさまざまな Beyond CMOS デバイスの研究が進んでいるものの、CMOS を用いずに Beyond CMOS デバイスのみを用いて完全に CMOS 置き換えが可能な集積ロジックデバイスを研究する動きはほとんどみられない。CMOS 置き換えを狙うより、むしろ CMOS と融合することにより CMOS の欠点を補完する役割を目指す研究アプローチが多いといえる。第2節では More Than Moore と Beyond CMOS を異なるアプローチとして扱ったが、現在の Beyond CMOS デバイスの研究状況を見る限り、Beyond CMOS デバイスも CMOS に新機能を付加する方向に明らかに向かっており、Beyond CMOS は More Than Moore に近いアプローチととらえる方が理解しやすい。すなわち、将来的には、More Moore、More Than Moore、Beyond CMOS は融合していくものと考えられる。

5.2. 集積ナノエレクトロニクスのビジョンマップ

以上の考察に基づき、将来の集積ナノデバイス像

をより明らかにするため、図6のマップに代わる新しいビジョンマップを日本半導体ロードマップ委員会 (STRJ) の Emerging Research Device (ERD) ワーキンググループで作成した^[11]。図7に集積ナノエレクトロニクスのビジョンマップを示す。図の中心は More Moore である。More Moore が基盤技術として存在し、将来的にもさらなる微細化と微細化に頼らない技術の進展により基盤としての裾野を広げていく様子を示している。この More Moore 基盤技術にさまざまな技術が融合していき、More Moore のみでは不可能であった新機能を付加し、システム全体として的大幅な性能向上を実現する。融合するのは、まずは MEMS やセンサなどの More Than Moore Elements である。これらが CMOS の欠点を補完するために CMOS と融合すると、More Than Moore という新しい技術体系が CMOS 基盤技術に付加される。

ほぼ同じことが Beyond CMOS も当てはまる。スピンや原子スイッチなどの Beyond CMOS Elements が CMOS と融合し、Beyond CMOS という新しい技術体系を構成する。このように More Than Moore と Beyond CMOS が融合した More Moore の基盤 CMOS 技術は、あらゆる技術が CMOS に融合した姿であり、「Extended CMOS」と呼ぶべき将来の究極の集積ナノエレクトロニクスであると考えられる^[3]。

Extended CMOS は、目指すアプリケーションによって融合すべき技術がさまざまに形を変えて集積化されるであろう。幸いなことに、わが国は Beyond CMOS の基礎研究で圧倒的に強いのみでなく、高度情報家電のような最先端アプリケーションを生み出す市場を有するとともに、SoC で培った優れた異種集積技術も持ち合わせている。これらの強みを生かしさまざまな階層を巻き込んだ融合技術を実現することにより、他国にない差別化された集積エレクトロニクスが可能となる。以上のように、将来の集積ナノエレクトロニクスにおける最大のイノベーションは「融合」によってもたらされるものと考えている。

謝辞

集積ナノエレクトロニクスのビジョンマップ作成にご協力いただいた日本半導体ロードマップ委員会 ERD-WG の委員各位に深謝する。

参考文献

- [1] R. H. Dennard, F. H. Gaensslen, H.-N. Yu, V. L. Rideout, E. Bassous, and A. R. LeBlanc, "Design of ion-implanted MOSFET's with very small physical dimensions", IEEE Journal of Solid-State Circuits, Vol. SC-9, p.256, 1974.
- [2] B. Hoeneisen and C. A. Mead, "Fundamental Limitations of Microelectronics - I. MOS Technology", Solid-State Electronics, Vol.15, p.819, 1972.
- [3] 平本俊郎, 「Beyond CMOS とは?」, 応用物理, Vol.77, p.253, 2008.
- [4] 平本俊郎, 「新構造 MOS トランジスタ技術」, 電子情報通信学会誌, Vol.89, p.123, 2006.
- [5] 高木信一, 山本豊二, 田岡紀之, 池田圭司, 「界面制御層を用いた高性能 Ge MOS トランジスタ」, 応用物理, Vol.78, p.37, 2009.
- [6] 平本俊郎, 竹内潔, 西田彰男, 「MOS トランジスタのスケーリングに伴う特性ばらつき」, 電子情報通信学会誌, Vol.92, p.416, 2009.
- [7] 栗野祐二, 「カーボンナノチューブの LSI デバイスへの応用」, 応用物理, Vol.76, p.1112, 2007.
- [8] T. Krishnamohan, D. Kim, S. Raghunathan, and K. Saraswat, "Double-Gate Strained-Ge Heterostructure Tunneling FET (TFET) With Record High Drive Currents and <math><60\text{mV}/\text{dec}</math> Subthreshold Slope", Int. Electron Devices Meeting, p.947, 2008.
- [9] 菅原聡, 「スピン機能 MOS FET による新しいエレクトロニクスの展開」, 応用物理, Vol.78, p.236, 2009.
- [10] 阪本利司, 埴山隼一, 水野正之, 寺部一弥, 長谷川剛, 青野正和, 「LSI 回路の再構成を可能とするナノブリッジ」, NEC 技報, Vol.60, p.73, 2007.
- [11] 平本俊郎, 日本半導体技術ロードマップ委員会ワークショップ, 2007.

バイオナノマシンが拓く社会

東北大学未来科学技術共同研究センター
教授 小柳 光正

CONTENTS

1. ニューロモーフィック・デバイス
2. ニューロ・マシン融合デバイス
3. 三次元 LSI 技術とスーパーチップ
4. まとめ

21 世紀は“脳の世紀”であると言われているように、最近の脳研究の発展にはめざましいものがある。医学だけでなく、理学、工学を含む広い分野からの学際的な取り組みがなされるようになって脳機能の解明が急速に進んだ。その結果として、脳における情報処理メカニズムやニューロンの動作原理を取り入れたニューロモーフィック (Neuromorphic) デバイスやニューロモーフィック集積回路、さらには、脳や神経系と機械、コンピュータが直接情報のやり取りをする Brain Machine Interface (BMI) や Brain Computer Interface (BCI) の研究が盛んとなっている。本論文では、これらの研究の概要について述べるとともに、Brain Machine Interface (BMI) や Brain Computer Interface (BCI) の中核デバイスであるニューロ・マシン融合デバイスの例として、眼球内埋め込み用人工網膜チップと集積化脳インプラント・デバイスを紹介する。

1. ニューロモーフィック・デバイス

半導体微細加工技術が進歩したことによって、チップ上に 100 億個以上のトランジスタを搭載したマイクロプロセッサの実現も可能などころに来ている。そのため、将来的には人間の脳に匹敵するような情報処理が可能な集積回路チップやコンピュータシステムが実現されるのではないかと期待が高まっている。しかし、現在の集積回路やコンピュータをそのまま高性能化しても人間の脳が行っているような情報処理を行うことは難しい。情報処理アルゴリズムが人間の脳とコンピュータではかなり違うからである。また、現在

(こやなぎ みつまさ) 1947 年北海道生まれ。東北大学工学研究科博士課程電子工学専攻修了。1974 年 (株) 日立製作所入社。DRAM 技術の研究開発に従事。スタック DRAM 発明。1985 年、米国ゼロックス・パロアルトリサーチセンターに入社。微細半導体素子の研究、アナログ/デジタル LSI の設計に従事。1988 年、広島大学教授に就任。微細半導体素子の研究、三次元 LSI、光インターコネクションの研究に従事。1994 年より東北大学教授。微細半導体素子の研究、三次元 LSI、光インターコネクション、並列計算機、眼球への人工網膜チップ埋め込み、ブレイン・マシン・インターフェイス (BMI) の研究に従事。IEEE (米国電気電子学会) フェロー。

表1 人の脳とマイクロプロセッサの比較

	人の脳	マイクロプロセッサ
素子数	10 ¹¹ ニューロン 10 ¹⁴ シナプス	>10 ⁸ CPU トランジスタ 10 ¹¹ システムの全体素子数
入力デバイス	眼、耳、舌、皮膚、鼻	キーボード、マウス、スピーカー、USB ポート
周波数	100Hz	>2GHz
消費電力	20W	>40W

の集積回路やコンピュータは、高性能化すると消費電力が急激に増加することも、脳が行っているような情報処理を可能とするシステムの実現を難しくしている要因である。現在の集積回路やコンピュータでは、集積回路チップに搭載するトランジスタの動作速度を増加させてシステムの性能を高めている。そのため、表1に示すように、トランジスタの動作速度は、脳の構成素子である神経細胞 (ニューロン) の応答速度よりも著しく大きくなっている。このことは、現在の集積回路やコンピュータは大きな電力を消費しないと性能が上がらないことを意味している。一方、われわれの脳は、高度の情報処理を行っても脳全体の消費電力は約 20W と、かなり低くなっている。これは、脳が動作速度の遅いニューロンによって情報処理を行っているからである。低電力化という点からは、動作速度の小さなデバイスを使った方が有利なのである。脳では、ニューロンの動作速度が小さくても、超並列処理、階層的な情報処理を駆使することによってシステム全体の性能を上げているのである。そのため、最近、低電力で高性能のシステム実現へ向けて、このような脳における情報処理メカニズムやニューロンの動作原理を取り入れたニューロモーフィック (Neuromorphic)

デバイスやニューロモーフィック集積回路の研究が盛んになっている。われわれも、MOSトランジスタを低電圧で動作させるニューロモーフィック回路（サブスレッシュホールドロジック）について研究している。これらの回路を三次元LSIで構成して、ニューロン素子のように素子間、回路間の結合数をできるだけ増やして超並列処理、階層的情報処理を容易にすることを検討している。また、図1、図2に示すように、このような三次元ニューロモーフィックLSIを用いて、脳における視覚情報処理と類似の処理を可能とする脳型視覚情報処理システムの実現を目指している¹⁾。このようなシステムが実現されれば、ロボットの脳への応用や人間の脳の補助装置としての応用が考えられる。

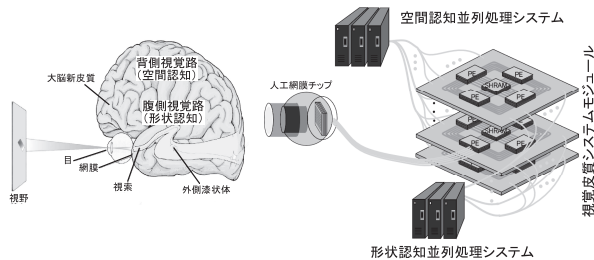


図1 脳型視覚情報処理システムの構成

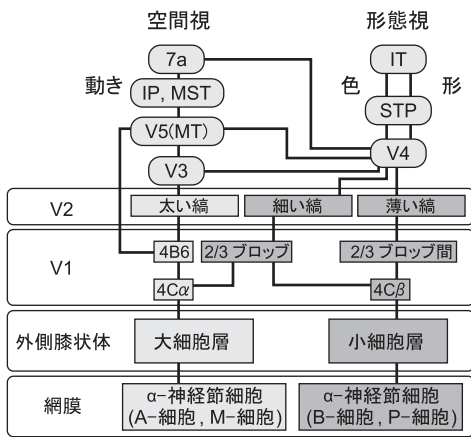
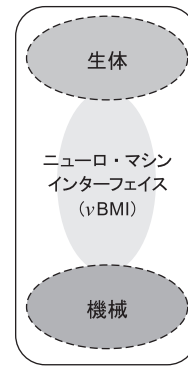


図2 脳における視覚情報処理の階層構造

2. ニューロ・マシン融合デバイス

将来の高齢化社会に備えて、脳神経科学と半導体工学、機械工学、計算機科学を基盤とした新しい情報処理デバイスや情報処理システム、マン・マシンインターフェイスデバイス、ウェアラブル・バイオデバイス、生体埋め込み用デバイス、ブレイン・マシン・インターフェイス、人体情報ネットワークシステムなど、人間

の脳や神経系にかかわるデバイス技術や情報技術、ロボット・制御技術をベースとした新しい診断医療技術が注目されている。われわれは、このような新しい診断医療技術の実現を目指して、三次元LSIを用いた新しいニューロ・マシン融合デバイス（vBMD: Neuro-Brain Machine Interface Device）の開発を行っている。図3に示すように、われわれが開発しようとしているニューロ・マシン融合デバイス（vBMD）は、脳や神経系とコンピュータや制御装置、ロボットなどの機械システムを接続するためのインターフェイスデバイスである。このようなニューロ・マシン融合デバイスの例として、眼球埋め込み用人工網膜チップモジュールと集積化脳インプラントデバイスを紹介する。



ニューロ・マシンインターフェイス
Neuro-Brain Machine Interface (vBMD)

- vBMDデバイスが、身体の様々な機能と結びついた末梢神経および中枢神経系と直接リンクすることで、その機能を補助・拡張する。
- 神経系の電氣的・化学的の信号を時間的・空間的に記録し、その信号を適切に処理することで効果を発現する。
 - 感覚系vBMD: 人工網膜・人工内耳など
 - 運動系vBMD: 義手・義足など
 - 統合系vBMD: 意思表示や会話、記憶の補助など
- 生体の可塑性と機械の最適化を利用しあい、調整と順応により、随意的な感覚運動の補助にも、不随意的な神経調節にも応用が可能となる。

課題

- ①インターフェイスの侵襲性と伝達可能情報量とのトレードオフ(侵襲性・極低侵襲性・非侵襲性)
- ②安全安定な機能代替、長期短期生体適合性
- ③生体と機械の情報処理方法の相違

図3 ニューロ・マシンインターフェイス

(1) 眼球埋め込み用人工網膜チップモジュール

失明は、眼球から大脳皮質視覚野までの視覚伝導路の一部が損傷することにより発生する。中でも、網膜の疾病が原因で失明する加齢黄斑（おうはん）変性症や網膜色素変性症は、年々増加傾向にあるのにもかかわらずその治療方法はまだ確立されていない。このような失明患者に視覚を再生する手段として、眼球内への人工網膜チップ埋め込みが注目されている。加齢黄斑変性症や網膜色素変性症にかかると、光を受容する視細胞が選択的に死滅するが、網膜の出力細胞である神経節細胞は生きている場合が多いので、人工網膜チップを埋め込んで神経節細胞を電気刺激すれば視覚を再生することができる。われわれは、人の網膜と似た構造と機能を有する三次元積層型人工網膜チップを眼球に埋め込んで、失明患者に視覚を再生することを目指している^{2) 3)}。

われわれが開発を目指している眼球内埋め込み用人工網膜モジュールの構成を図4に示す。この人工網膜

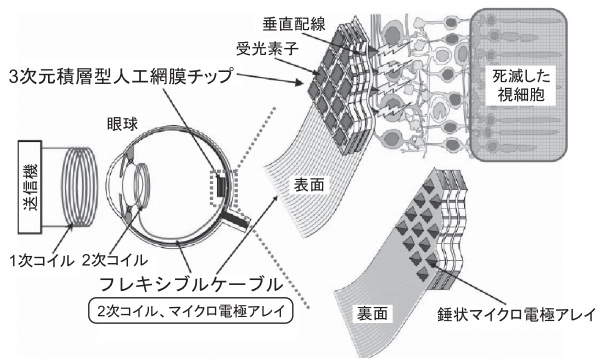


図4 人工網膜チップによる網膜細胞の電氣的刺激と視覚の再生モジュールの特徴は、人工網膜チップの部分が人の網膜と同様に三次元積層構造となっていることにある。これまで報告されている眼球内への網膜チップ埋め込みでは、ほとんどの場合、光信号受光部は眼球外のメガネに固定されたカメラに搭載されていた。カメラからの信号出力を無線で眼球内に埋め込まれた刺激電極付きチップに送信している。われわれの人工網膜モジュールでは、眼球内に埋め込まれた人工網膜チップに光信号受光部が搭載されている。そのため、眼球を動かしながら光信号を受信して処理することができる。この機能はサッケードと呼ばれ、人の眼と脳による視覚情報処理の重要な機能となっている。われわれの眼球内埋め込み用人工網膜モジュールでは、サッケード機能を有効に使うことで健常者に近い視覚を再生することを目指している。積層型人工網膜チップの裏面には、残存する網膜出力細胞を刺激するための刺激電極アレイが形成されている。このような刺激電極アレイ付人工網膜チップが、電源線と信号線を形成したフレキシブルケーブルに搭載されて2次コイルに接続される。そして、図5に示すように、眼球外に設置された1次コイルと、眼球内の2次コイルの間の電磁誘導を使って、眼球外から眼球内の人工網膜チップに電力

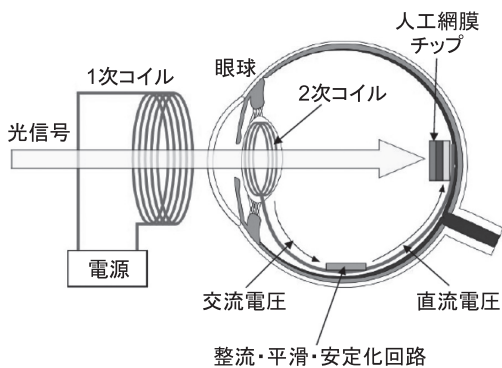
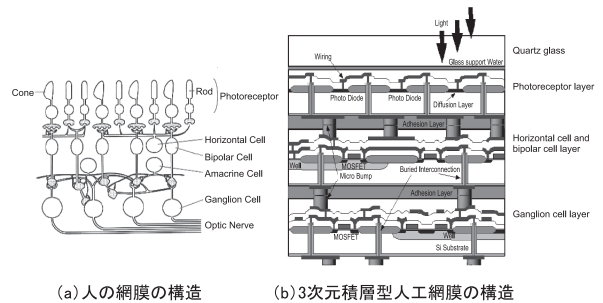


図5 眼球埋め込み用人工網膜モジュールの構成



(a) 人の網膜の構造 (b) 3次元積層型人工網膜の構造
図6 三次元積層型人工網膜チップの断面構造

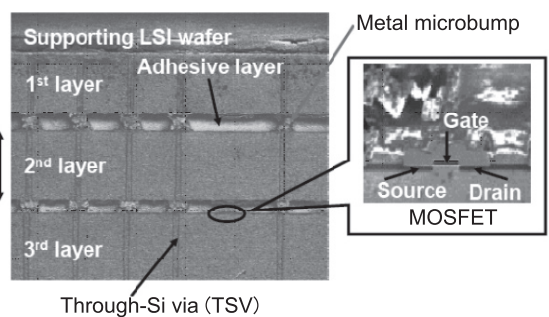


図7 試作した三次元積層型人工網膜チップのSEM断面観察写真

を供給する。光信号はコイルの内部を通過して人工網膜チップに送られる。1次コイルは眼鏡に固定される。図6は、人の網膜の構造と3次元積層型人工網膜チップの構造を比較した図である。図からわかるように、人の網膜は、視細胞、水平細胞、双極細胞、アマクリン細胞、神経節細胞から成る層状構造をしているが、三次元LSIを用いると同様な構造を実現できる。三次元LSIを用いた網膜チップ(3次元積層型人工網膜チップ)では、それぞれの網膜細胞の機能をCMOS回路で実現している。図7に、実際に試作した3次元積層型人工網膜チップの走査型電子顕微鏡(SEM)断面観察写真を示す。この積層型人工網膜チップは、我々が世界に先駆けて開発した三次元LSI技術を用いて試作している。試作した3次元積層型人工網膜チップでは、網膜細胞の機能を簡略化して3層のCMOS回路に集約している。各層は約 $30\mu\text{m}$ 厚のシリコン層から成っており、各層間は垂直方向のシリコン貫通配線(TSV: Through Si Via)により接続されている。最上層には、視細胞に相当するイメージセンサ・アレイが形成されている。図8に、試作した3次元積層型人工網膜チップの顕微鏡写真を示す。チップの表面には光信号を取り入れるために、石英ガラスが搭載されている。この石英ガラスはパッケージの役割もしているので、そのまま配線基板に実装できる。網膜チップ

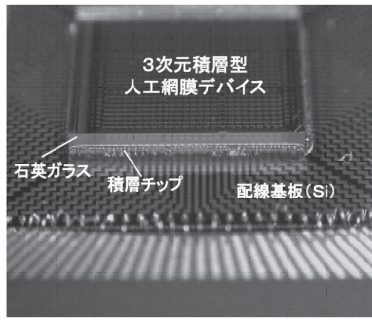


図8 試作した三次元積層型人工網膜チップの顕微鏡写真

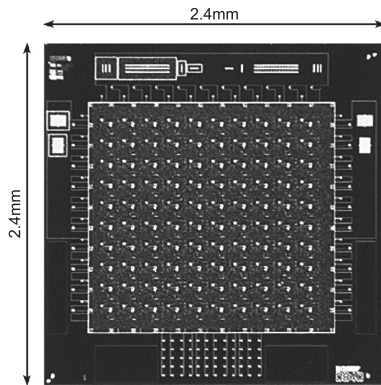


図9 試作した人工網膜チップの顕微鏡写真

の裏面には、配線基板に電氣的に接続するための金属マイクロバンプ電極アレイが形成されている。そのため、ワイヤボンディングは一切必要ない。しかし、試作したこの人工網膜チップは、眼球内に埋め込むためには寸法が大きすぎるので、別途埋め込み用の小さな人工網膜チップを試作した。眼球内のチップを埋め込む部分は、網膜の中心窩(か)と呼ばれる部分で、この部分は直径2~3mmしかないため、埋め込むチップの寸法もそれに合うようなものでなければならない。そこで、われわれは、埋め込んだチップで網膜出力細胞を刺激し、脳に視覚を誘発できるかどうかをまず確認するために、図9に示すような小さな網膜チップを試作した。この網膜チップは、10×10の画素(ピ

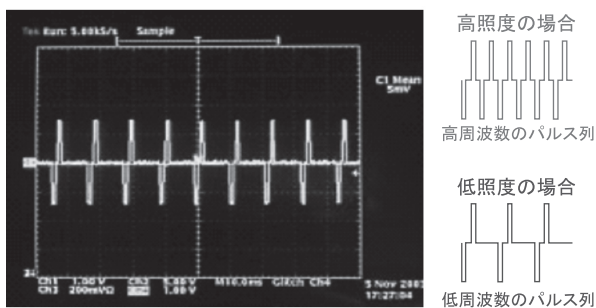


図10 試作した人工網膜チップからの出力電流パルス

クセル) から成っており、イメージセンサからアンプ、網膜出力細胞刺激電流パルス発生回路を搭載している。このチップは、実際の網膜の出力細胞からの出力信号に似た双極性のパルス信号を発生できる。試作した人工網膜チップからの出力電流パルス波形を図10に示す。図に示すように、網膜細胞を刺激するための電流パルスは、網膜細胞のチャージアップを抑えるために、正負両極性のパルスから成っている。光信号の強弱はパルス数の大小で表される。すなわち、光信号振幅の変化がパルス数の変化で表されるパルス数変調となっている。図11は、人工網膜チップ裏面に形成した刺激電極アレイのSEM観察写真である。白金(Pt)から成る錐状刺激電極が良好に形成されていることがわかる。このような刺激電極付人工網膜チップをフレキシブルケーブルに搭載した人工網膜モジュールの写真を図12に示す。この人工網膜モジュールではまだ2次コイルは接続されていない。このような人工網膜モジュールをウサギの眼に埋め込んで、フレキシブルケーブルを介して直接網膜細胞を電流パルス刺激した時の脳視覚野における誘発電位(EPP: Electrically Evoked Potential)の観測波形を図13に

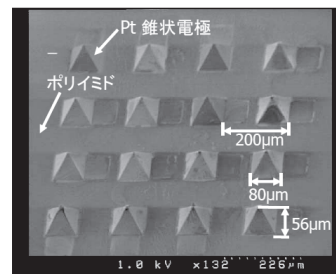


図11 網膜出力細胞刺激電極のSEM観察写真

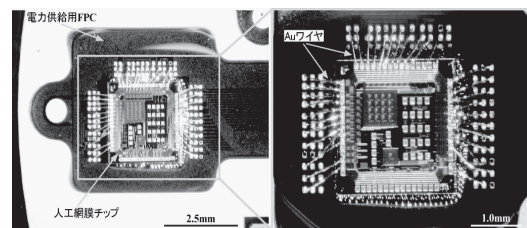
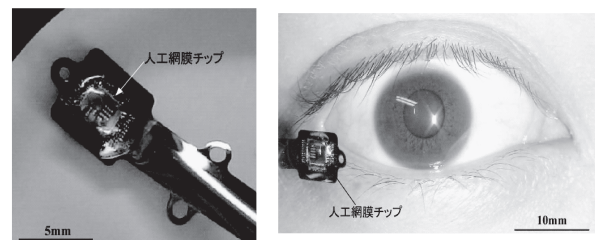


図12 試作した人工網膜モジュールの写真

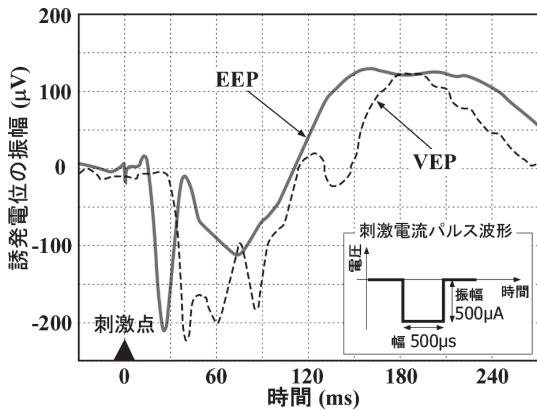


図13 網膜細胞の電流パルス刺激による脳誘発電位 (EEP) の観測を示す。図には比較のために、通常の光刺激による脳誘発電位 (VEP : Visually Evoked Potential) の観測波形も示してある。図からわかるように、網膜出力細胞の電流パルス刺激により、光刺激と同様な脳誘発電位波形が得られていることから、網膜出力細胞の電流パルス刺激によって脳の視覚野に視覚を発生させることができることを確認できた。今後は、 32×32 の画素 (ピクセル) を有する三次元積層型人工網膜チップを試作し、より高い QoL (Quality of Life) を実現できる視覚の再生を目指す。

(2) 集積化脳インプラントデバイス

人などの霊長類の脳は大きく分けて大脳、間脳、小脳、脳幹の4つに分けられる。この中でも大脳の一部である大脳皮質は、認知や言語、記憶、学習、創造といった高度な精神機能を持ち、脳の中でも上位の情報処理を担う部位とされる。大脳皮質は百数十億個の神経細胞から構成され、それらの神経細胞がシナプスによって複雑に結びつき神経ネットワークを形成している。大脳皮質は野と呼ばれる領域によって全く異なる機能を有しているが、運動野や知覚野以外のほとんどの部分は連合野とよばれる部分で占められている。連合野では周りの大脳皮質と関連しあうことで、高度の情報処理を行っていると考えられている。これらの領域はさらに分割されて、機能単位であると考えられる離散的なカラムと呼ばれる皮質の広がる平面に垂直な直径 $300 \sim 500 \mu\text{m}$ 程度の円柱のモジュールから構成されている。このカラムというのは、動物の種が違って大脳皮質の大きさが異なってもそのサイズはほぼ一定にとどまっており、情報処理の最小機能単位であると考えられている。したがって、このカラムの総

数が大脳皮質全体の能力を決めていると考えることができる。これらカラムに含まれる神経細胞は、他のカラムや、脳の他の部位へ樹状突起や軸索を伸ばしネットワークを形成しており、これらを神経プローブにより調べることで脳の機能を知ることが可能となる。また、各カラムはさらに水平方向に6層に分類され、各層には投射先が異なる錐体細胞が配置されている。このように、脳はニューロンからなる巨大なネットワークであり、脳内における情報の処理や伝達は、ニューロンが主に担当している。しかし、単一のニューロンの活動が特定の機能と一対一に対応しているわけではなく、ニューロン集団が協調的に働くことにより情報を表現するという、集団的・協調的符号化が行われていると考えられる。協調的ニューロン集団により、動的かつ機能的なネットワークが随時形成されるのである。個々のニューロンが機能の異なる複数のネットワークに重複して結合し、なおかつ必要な情報コーディングや処理に応じてネットワーク内やネットワーク間の結合を変化させ、大小の閉ネットワークを随時形成する。これにより、複数の情報処理の同時進行が可能となり、脳独特の分散処理が実現できる。したがって、脳内における情報表現を解明するためには、可能な限り多くのニューロンの活動を細胞レベルで同時に計測することが必要となる。このような計測を可能にするのが、微小な神経プローブを用い直接神経細胞活動を記録する Brain Machine Interface (BMI) デバイスである⁴⁾。図14に示すように、このようなデバイスを脳に埋め込むと、脳から直接信号を取り出すこ

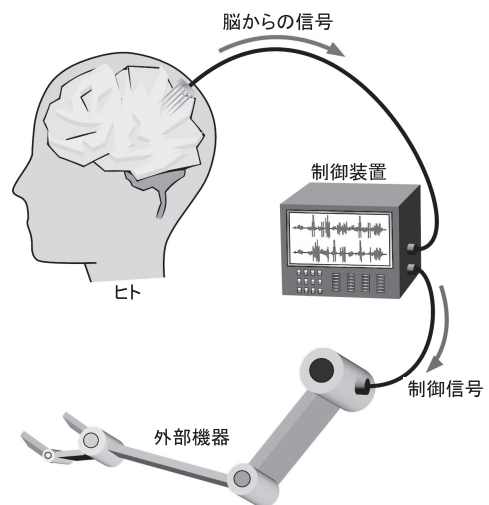


図14 BMI デバイスを用いた脳信号による外部機器の直接制御

とが可能となるので、この信号を用いてロボットアームやPCなどの操作を行うことが出来るようになる。Nicolelisらは2000年、サルから得られた神経細胞の活動電位信号により、サルが意のままにロボットアームを操ることが可能であると示した⁵⁾。このことは、手足を失った人がBMIデバイスを用いることによって、脳の信号により直接義手や義足を制御し、手足の代替とすることが可能であることを示している。

われわれは、このような神経プローブ付きBMIデバイスに各種センサや情報処理チップを集積した集積化脳インプラントデバイスの開発を目指している。我々が開発を進めている集積化脳インプラントデバイスの構成を図15に示す。集積化脳インプラントデバ

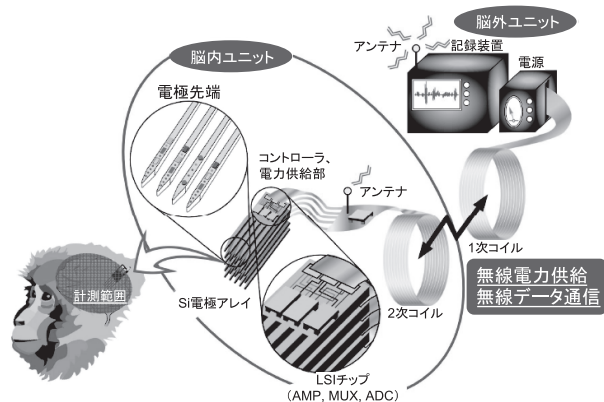


図15 集積化脳インプラントデバイスの構成

イスは脳埋め込み用多機能集積化神経プローブ、信号処理プロセッサ、データ転送を行うアンテナ、電力供給を行うコイルなどから構成される。脳埋め込み用多機能集積化神経プローブでは神経プローブアレイ先端から得られた種々の信号に処理を行い、それを外部機器へ送信し利用する。脳埋め込み用多機能集積化神経プローブの先端部分には、同時多点記録を可能とする複数の記録点がプローブの表裏両面にあり、その他にもマイクロ流路、光導波路、刺激点、化学センサなどが搭載される。また、この脳埋め込み用多機能集積化神経プローブの要素部品である神経プローブアレイ後端部分には、記録された信号の処理のため、アンプやADコンバータ、マルチプレクサなどの集積回路チップが搭載される。また、生体適合性が高いフレキシブルケーブルから構成される二次コイルは神経プローブアレイ上の集積回路に接続される。神経プローブアレイは半導体微細加工技術を用いて作製するため、複数

の記録点の形成やナノオーダーの精度の高い微細加工、大量生産が可能となる。また、神経プローブをアレイ状に形成することにより、縦、横、深さの3方向に記録点を配置することができる。これにより、縦、横、深さの方向に三次元的に同時多点記録を行うことが可能となる。神経プローブの材料にSiを用いることで、プローブ端にアンプやADコンバータ、マルチプレクサなどの集積回路チップを搭載することが可能となる。これにより、記録点とアンプ間の配線長を短縮することが可能となり、ノイズの影響を低減することができる。この神経プローブアレイと集積回路チップの接続には三次元LSI作製のために開発されたマルチチップボンディング技術を用いる。また、アンプやマルチプレクサ、ADコンバータで処理したデータはアンテナを用いて外部の記録装置へ転送を行う。集積化脳インプラントデバイスへの電力供給にはコイルによる電磁誘導を用いる。アンテナとコイルを用いることで、集積化脳インプラントデバイスを体内ユニットとして被験動物の脳に埋め込むことが可能となり、自然状態の被験動物の脳の活動電位を記録することができる。さらに、一度埋め込んだ後はその取り外しが不要となり、長期的な活動電位の記録が可能となる。

現在、このような集積化脳インプラントデバイスの基本部分であるマルチジャンク・シリコン針脳電極の開発を行っている。このシリコン針脳電極は脳深部へ埋め込むDBS（Deep Brain Stimulation）用神経プローブとして用いることもできる。シリコン針脳電極の両面にニューロンからの信号を記録するためのマルチ電極が形成されており、ニューロン活動の立体的解析が可能である。記録用電極近傍に、種々の薬液注入用の

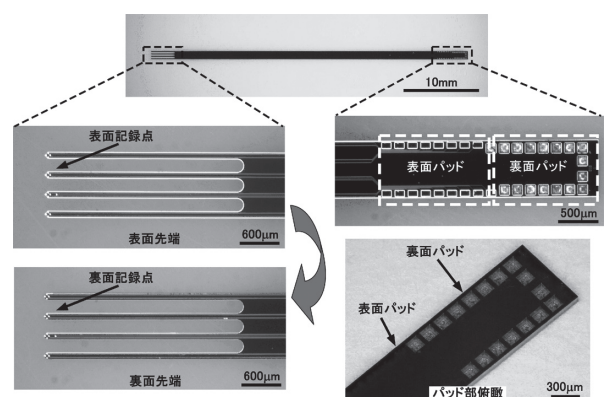


図16 試作した *in vitro* 記録用両面記録点付き神経プローブの光学顕微鏡写真

マイクロ流路の出力孔も設けている。図 16 に示すように、現在までに 4 シャンク、34 点の記録点を有する両面電極を作製し、ラットの海馬スライス標本（厚さ 600 μm ）からの細胞外電位記録に成功している。また、サルの大脳皮質にシリコン針電極を埋め込んで、*in vivo* でニューロン活動信号を記録することも試みた。前述のように、サルの大脳皮質は 6 層構造となっており、皮質の表面から、分子層、外顆粒層、外錐体細胞層、内顆粒層、内錐体細胞層、多形細胞層と呼ばれる。場所により異なるが 6 層の全体の厚みは 2 ~ 4 mm である。各層には、錐体細胞、顆粒細胞、星状細胞などさまざまな種類の細胞が存在し、それぞれ異なる特徴を持つことが分かっている。今回作製した *in vivo* 記録用両面記録点付き神経プローブは、錐体細胞が多く集まる 3 ~ 5 層において各層を縦断するように記録することができるよう、記録点を 700 μm の間に 100 μm 間隔で配置している。錐体細胞は皮質領域外へ信号を出力するばかりでなく、皮質局所に軸索側枝を多数出力しており皮質中の情報処理にも重要な機能を持っていると考えられている。図 17 に、サルの大脳皮質で計測したニューロン活動信号を示す。図から明らかのように、両面記録点付きシリコン神経プローブを用いて、*in vivo* でニューロン活動信号を記録することができた⁶⁾。

今後は、さらに、医工学の連携を積極的に進め、脳を中心とした新しい診断医療技術確立の礎を築くとともに、脳神経とマイクロシステムや情報処理システムと直接交信するニューロ・マシン・ハイブリッドシステムの実現を目指す。

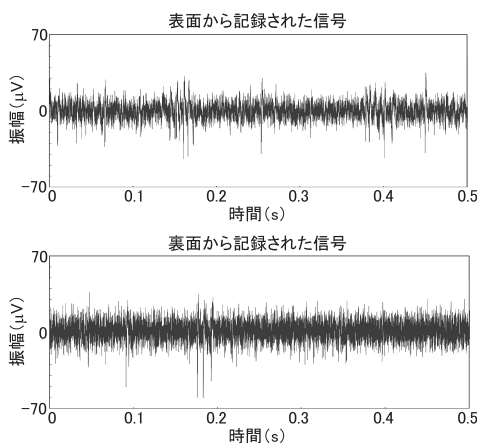


図 17 試作した *in vitro* 記録用両面記録点付き神経プローブを用いて記録された活動電位

3. 三次元 LSI 技術とスーパーチップ

今後さまざまなニューロ・マシン融合デバイスを開発していく上で鍵を握る技術が三次元 LSI 技術である。そこで、三次元 LSI 技術について簡単に説明する。われわれは世界に先駆けて、シリコン貫通配線 (TSV: Through Si Via) を用いた三次元 LSI を開発してきた^{7) 8)}。従来の平面的な LSI が微細化の限界に達しつつある中で、この三次元 LSI はこれまでの LSI を置き換える新しい LSI として注目され、世界中で研究開発が行われるようになってきている。三次元 LSI を製作するために、これまで、チップ-チップ (C-to-C) 積層、チップ-ウェーハ (C-to-W) 積層、ウェーハ-ウェーハ (W-to-W) 積層の三種類の積層方式が検討されてきた。しかし、積層後の製造歩留まり、積層のスループット、KGD (Known Good Die) 積層の可能性といった観点から見ると、それぞれ一長一短があって、実用化が進むにつれて大きな問題としてクローズアップされてくる可能性がある。そこで、われわれは、良品チップ (KGD: Known Good Die) から構成した自己組織化ウェーハを多層に張り合わせる新しい三次元集積化技術を提案し、技術の確立を行ってきた⁹⁾。この新しい三次元集積化技術では、図 18 に示すように、多数

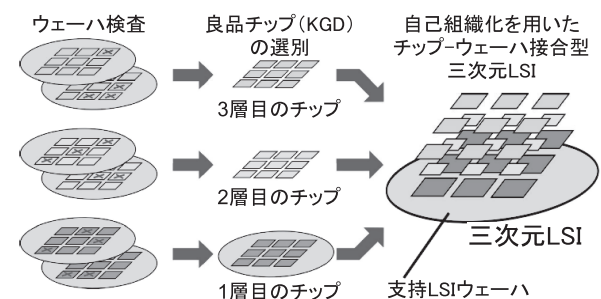


図 18 自己組織化ウェーハ張り合わせによる KGD の一括積層 (Self-Assembly)

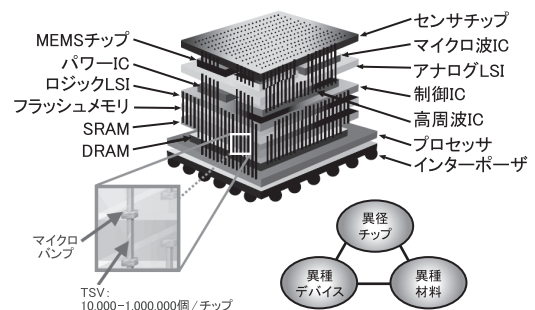


図 19 スーパーチップの構成

のKGDを一括積層する技術を採用している。この技術を用いるとKGDの一括積層ができるだけでなく、サイズの違ったチップや異なった技術で作製したチップの一括積層も可能となる。われわれは、この技術を用いて、図19に示すような究極の三次元LSIであるスーパーチップの実現を目指している。

自己組織化ウェーハを用いたウェーハ張り合わせによる三次元LSIの作製方法の一例を図20に示す。

図20では、液体の表面張力を利用して、保持ウェーハ上に多数のKGDを一括積層(Self-Assembly)し、KGDのみから成る自己組織化ウェーハを作製している。この自己組織化ウェーハを別のLSIウェーハに張り合わせた後、保持ウェーハをはく離し、KGDを研磨およびCMPにより薄くした後、露出した貫通配線(TSV)の端面に金属マイクロバンプを形成する。この工程を繰り返すことにより、KGDを積層した三次元集積回路の作製が可能となる。自己組織化技術を用いて、LSIウェーハ上にチップサイズの異なるKGDを3層積層した三次元集積回路テストチップの顕微鏡写真を図21に示す。写真から分かるように、自己組織化ウェーハ張り合わせによる三次元集積化技術を用いると、チップサイズの違ったKGDをいろいろ組み合わせて積層することが可能となる。

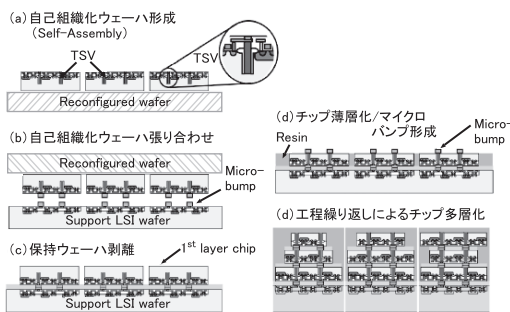


図20 自己組織化ウェーハ張り合わせによる三次元LSIの製作工程

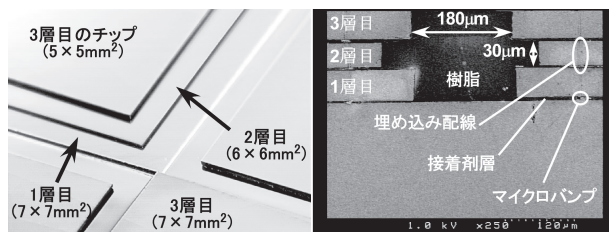


図21 自己組織化ウェーハ張り合わせにより作製した三次元LSIテストチップの顕微鏡写真

4. まとめ

脳における情報処理メカニズムやニューロンの動作原理を取り入れたニューロモーフィック(Neuromorphic)デバイスおよび、脳や神経系と機械、コンピュータが直接情報のやりとりをするBrain Machine Interface (BMI)の研究の概要について説明するとともに、Brain Machine Interface (BMI)やBrain Computer Interface (BCI)の中核デバイスであるニューロ・マシン融合デバイスの例として、眼球内埋め込み用人工網膜チップと集積化脳インプラント・デバイスを紹介した。また、ニューロ・マシン融合デバイス開発の鍵を握る三次元LSI技術とスーパーチップについて技術の概要を紹介した。

参考文献

- 1) H. Kurino, K-W. Lee, M. Koyanagi et al., IEICE Transactions on Electronics, E84-C (12), 1717-1722, (2001)
- 2) M. Koyanagi, K-W. Lee, H. Kurino et al., Proceedings of The IEEE International Solid State Circuits Conference (ISSCC), 270-271, (2001)
- 3) T. Tanaka, M. Koyanagi et al., IEEE International Electron Devices Meeting (IEDM) Tech. Dig., 1015-1018, (2007)
- 4) K. D. Wise et al., Proceedings of the IEEE, vol. 92, 76-97, (2004)
- 5) J. Wessberg, M. A. L. Nicolelis et al., Nature 408, 361-365, (2000)
- 6) R. Kobayashi, T. Tanaka, M. Koyanagi et al., Japanese Journal of Applied Physics, Vol. 48, No.4, C194-1-C194-5, (2009)
- 7) M. Koyanagi, Proc. 8th Symposium on Future Electron Devices, 50-60, (1989)
- 8) T. Matsumoto, M. Koyanagi et al., Extended Abstr. Int. Conf. on Solid State Devices and Materials, 1073-1074, (1995)
- 9) T. Fukushima, M. Koyanagi et al., Technical Digest of The IEEE International Electron Devices Meeting (IEDM), 359-362, (2005)

Mechanical Computing Redux: Relays for Integrated Circuit Applications

Tsu-Jae King Liu* and Hei Kam

Electrical Engineering and Computer Sciences Dept.
University of California at Berkeley
Berkeley, CA 94720 USA
*tking@eecs.berkeley.edu

*Tsu-Jae King Liu is Conexant Systems Distinguished Professor of Electrical Engineering and Computer Sciences at the University of California, Berkeley. She is the recipient of the 2010 IEEE Kiyo Tomiyasu Award for her contributions in the areas of nanoscale MOS transistors, memory devices, and MEMs devices. She is presently leading a research team to develop micro-relay technology for ultra-low-power integrated circuit applications. Hei Kam is a leading post-doctoral researcher on this team.

Steady advancement in integrated-circuit (IC) process technology over the past 40+ years has enabled ever more functional and affordable electronic devices, with dramatic impact on virtually every aspect of life in modern society. The key to continual improvements in IC performance and cost has been the miniaturization of the metal-oxide-semiconductor field-effect transistor (MOSFET), the basic building block used predominantly in IC “chips” today. As transistor dimensions have shrunk, the areal density of transistors has increased – so that the number of transistors on a chip has roughly doubled every two years, according to “Moore’s Law” – to provide for improved functionality and lower cost per function.

Due to the fact that the transistor operating voltage (V_{dd}) is no longer being reduced commensurately with transistor dimensions (Fig.1), power density has grown to be the dominant challenge for continued IC technology scaling. Together with recent improvements in micrometer-scale relay design and process technology, this has led to renewed interest in mechanical computing for ultra-low-power applications. This article begins with a brief overview of complementary-MOS (CMOS) technology to explain the root cause of the IC power crisis and thereby motivate the re-consideration of mechanical computing technology. A recently developed micro-relay technology [2, 3] which was used to demonstrate the first relay integrated circuits [4] is then presented. Finally, relay scaling for improved device density and performance is discussed, and the energy benefit of a scaled relay technology vs. a CMOS technology with comparable minimum dimensions is assessed.

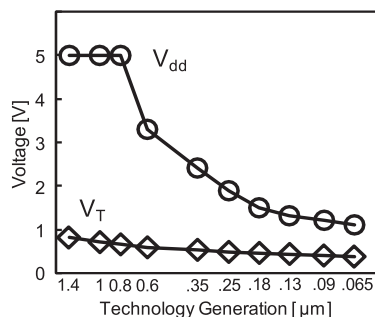


Figure 1: CMOS supply voltage (V_{dd}) and threshold voltage (V_T) reduction with technology advancement [1]. Since MOSFET off-state leakage increases exponentially with decreasing V_T , voltage scaling has slowed in recent technology generations, resulting in increased power density.

1. CMOS technology and the power crisis

Fig.2 illustrates the basic MOSFET structure, which is essentially a three-terminal solid-state switch: When a sufficiently large voltage (greater than a “threshold voltage” V_T) is applied between the gate and source, the transistor is in the ON state and current can readily flow through the channel region between the source and drain. The maximum ON-state current (I_{ON}) is proportional to $(V_{dd} - V_T)^\alpha$, where $1 < \alpha < 2$. When zero voltage is applied between the gate and source, the transistor is in the OFF state and only leakage current flows through the channel region between the source and drain. The OFF-state current (I_{OFF}) is proportional to $10^{-V_T/S}$, where the subthreshold swing S is typically 100 mV/dec. (The metallic gate electrode is electrically insulated from the semiconductor channel region by a thin oxide layer so that no direct current flows between the gate and semiconductor.) The source and drain comprise heavily doped (*i.e.* electrically very conductive) regions within the semiconductor, on either side of the channel region. The channel region is lightly doped, typically of the opposite conductivity type as the source/drain regions.

Both “n-channel” and “p-channel” MOSFETs are used in the majority of IC chips today. In an n-channel MOSFET, a gate voltage that is *higher* than the source voltage is needed to form a conductive n-type channel to connect the n-type source/drain regions, whereas in a p-channel MOSFET a gate voltage that is *lower* than the source voltage is needed to form a conductive p-type channel to connect the p-type source/drain regions. If the gate electrodes of a pair of n-channel and p-channel MOSFETs are connected together and their source electrodes are biased as shown in Fig.3, complementary switching behavior is achieved, *i.e.* only one device is turned on at a time when the gate voltage is high (V_{dd}) or low (0 V). This is advantageous for minimizing static power dissipation, to be only $I_{OFF} \times V_{dd}$ for the CMOS inverter circuit shown in Fig. 3. Note that the MOSFET drain electrodes are each tied to the output node, and that the n-channel device is used to “pull down” the output node to ground when the input node (tied to the gates) is high, and that the p-channel device is used to “pull up” the output node to V_{dd} when the input node is low.

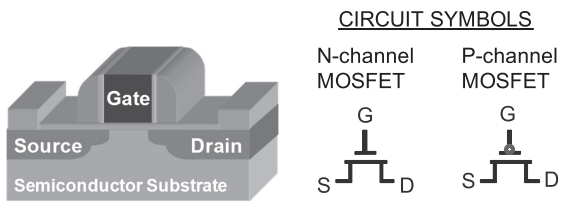


Figure 2: Schematic illustration (left) and circuit symbols (right) for the basic metal-oxide-semiconductor field-effect transistor (MOSFET).

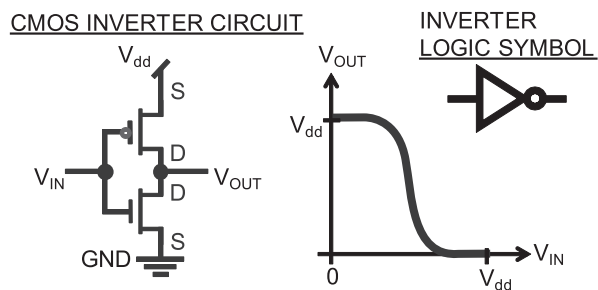


Figure 3: Basic CMOS inverter circuit.

Since I_{OFF} (hence static power consumption) increases exponentially with decreasing V_T , V_T has not been aggressively scaled down with each new generation of IC technology (Fig.1). Since I_{ON} (hence circuit performance) decreases with decreasing “gate overdrive” ($V_{dd} - V_T$), V_{dd} also has not been aggressively scaled down. Today, power density limits ($\sim 300\text{W}/\text{cm}^2$ due to thermal cooling limitations) severely constrain IC design. In order to increase transistor density (for lower cost per function and increased chip functionality) without increasing power density, V_{dd} must be reduced (to reduce active power dissipation) at the expense of performance. This has forced the move to multi-core processors, *i.e.* parallelism, to recover system throughput (Fig.4). The degree to which this approach can be used beneficially is limited, however, because of a fundamental lower limit in the energy required per operation (E/op) for a given CMOS technology. This lower limit exists due to transistor off-state leakage current: As V_{dd} is reduced to lower the active energy (proportional to V_{dd}^2), the time required to perform the operation ($t_{\text{delay}} \propto V_{dd}/I_{ON}$) increases and hence the leakage energy (proportional to $t_{\text{delay}} \times I_{OFF} \times V_{dd}$) increases. (Alternatively, V_T can be scaled down together with V_{dd} to maintain t_{delay} , but then I_{OFF} would increase exponentially as explained above.) Eventually, a minimum in total energy is reached when the active energy and leakage energy are balanced, *i.e.* any further reduction in V_{dd} will not result in reduced total energy and so transistor density scaling will be limited.

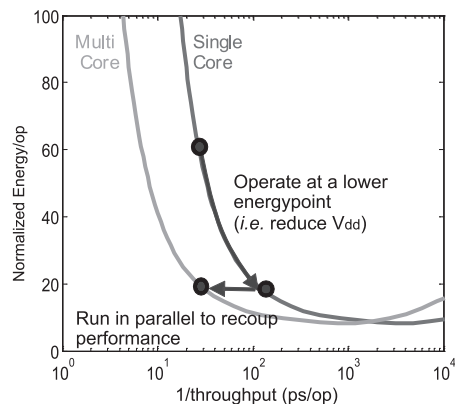


Figure 4: CMOS energy per operation vs. time delay per operation. A fundamental lower limit for E/op is reached as V_{dd} is reduced, because the amount of energy wasted due to transistor off-state leakage increases with the amount of time required to perform an operation.

A mechanical switch is ideal in that it has zero I_{OFF} (which eliminates the trade-off between decreasing active energy and increasing leakage energy) and abrupt switching behavior which in principle allows V_T and hence V_{dd} to be scaled down aggressively while maintaining high I_{ON} (Fig.5). Thus, a mechanical switch technology can potentially achieve lower E/op than a CMOS technology.

The use of mechanical switches (*e.g.* relays) for computing is not a new idea, and dates back to the 1930's [5]. Because of tremendous advancements in planar processing technology over the past few decades, particularly the development of surface micromachining processes for micro-electro-mechanical systems (MEMS), there has been renewed interest in mechanical computing for ultra-low-power computing applications [6]-[7].

2. Micro-relay technology for IC applications

Micro-switches utilizing electrostatic actuation are attractive for IC applications because they are relatively easy to manufacture using conventional planar processing techniques and materials. A conventional three-terminal (3T) micro-switch structure [2] is illustrated in Fig.5. In the OFF state, an air gap separates the source from the drain so that no current can flow between these electrodes. The position of the source electrode, which is a movable beam, depends on the electric field across the actuation gap between the source and the gate electrodes, *i.e.* the balance between the electrostatic attractive force (F_{elec}) and the spring restoring force of the beam (F_{spring}). While F_{elec} increases quadratically with increasing downward beam displacement, F_{spring} increases only linearly with displacement. Thus, there is a critical displacement beyond which F_{elec} is always larger than F_{spring} , so that the gap will eventually close abruptly as the applied voltage across the gap ($|V_{GS}|$) is increased. This phenomenon is referred to as “pull-in.” The voltage at which pull-in occurs (V_{PI}) is dependent on the relay design parameters:

$$V_{PI} \propto \sqrt{\frac{kg_0^3}{\epsilon_0 WL}} \quad (1)$$

where k is the spring constant of the beam, g_0 is the as-fabricated actuation gap thickness, ϵ_0 is the permittivity of air, W is the width of the beam, and L is the length of the beam.

A typical measured current-vs.-voltage characteristic is also shown in Fig.5. Note that the switch turns on when $|V_{GS}|$ exceeds V_{PI} , but turns off when $|V_{GS}|$ is lowered below the release voltage (V_{RL}). The hysteretic switching behavior ($V_{RL} < V_{PI}$) is caused by the pull-in phenomenon (because F_{elec} remains larger than F_{spring} for values of $|V_{GS}| < V_{PI}$ when the source is pulled in), and is exacerbated by surface adhesion force ($F_{adhesion}$) in the contacting region(s). The as-fabricated gap thickness in the contacting region (g_d) can be made to be smaller than g_0 to reduce the hysteresis voltage. This dimpled contact design is also beneficial to precisely define the area of the contacting region and to reduce the turn-on (pull-in) delay:

$$t_{PI} \propto \sqrt{\frac{mg_d}{kg_0}} \left(\frac{V_{PI}}{V_{dd}} \right) \quad (2)$$

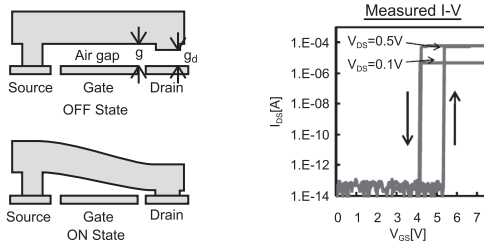


Figure 5: Schematic illustration of a basic three-terminal electro-mechanical switch and typical electrical characteristics.

In an IC, it is often desirable to connect multiple switches in series. In such a configuration, the source voltage is not necessarily fixed and hence the gate switching voltages can vary undesirably, depending on the source voltage. The four-terminal (4T) relay design [3] addresses this shortcoming with the addition of the body terminal (Fig.6). In this relay design, the actuated electrode is the gate electrode. The voltage applied between the movable gate electrode and a fixed body electrode determines the state of the relay (Fig.7). Thus, if the body is biased at a constant voltage, the gate switching voltages will not vary. A narrow metallic channel electrode attached to the underside of the gate electrode via an electrically insulating oxide layer serves to bridge the source and drain when the relay is in the on state. Functional logic, memory, and clocking circuits recently have been demonstrated using 4T relays [4].

Micro-relays must operate with adequately low on-state resistance (R_{ON}) and high endurance to be practical for

IC applications. R_{ON} can be as high as ~ 10 k Ω (assuming load capacitances in the range up to ~ 100 fF) without significantly affecting circuit performance, because the delay of a relay circuit is dominated by the time it takes to mechanically pull-in the beam(s), which is on the order of 10ns for a 90nm relay technology [7]. This allows for the use of a hard, refractory contacting electrode material such as tungsten, which is beneficial for improved resistance to wear and micro-welding. (Due to surface roughness, physical contact is made only at a few asperities when a relay is in the on state. For a harder contact material, the real contact area is smaller and hence the R_{ON} is larger.) Additionally, a surface treatment can be applied to the electrode surfaces to improve device reliability, so long as R_{ON} is not increased beyond ~ 10 k Ω .

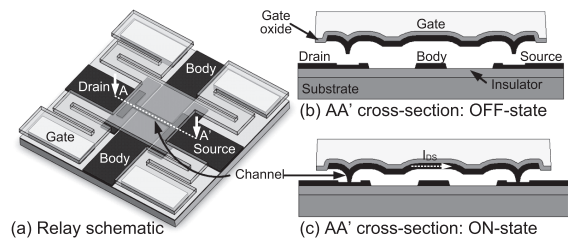


Figure 6: (a) Schematic of a four-terminal relay design for IC applications. (b) Cross sectional view along the channel (AA') in the off-state and the (c) on-state. The position of the gate is controlled by gate-to-body voltage (V_{GB}). This provides the ability to build complementary logic circuits and to reduce the gate switching voltages via body biasing [3] (Fig.7).

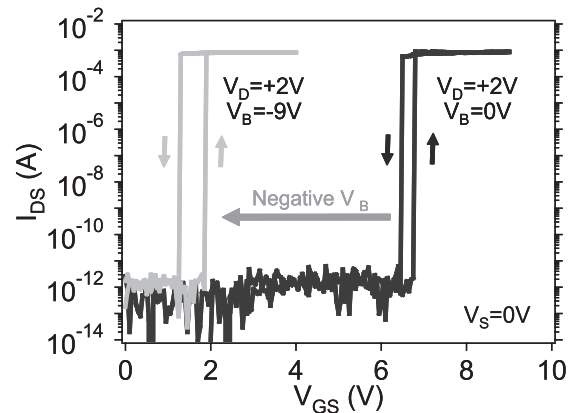


Figure 7: Measured current-vs.-voltage characteristics of a 4T relay, showing tunability of the gate switching voltages with body biasing (V_B).

A reliable micro-relay technology employing titanium dioxide (TiO_2) coated tungsten (W) electrodes recently has been developed for digital logic applications [2-3]. The TiO_2 coating improves contact stability and relay endurance because it acts as an oxidation barrier and also serves to limit current conduction to mitigate micro-welding issues.

Relay endurance exceeding 1 billion on/off cycles without stiction- or welding-induced failure has been demonstrated (Fig.8). Further improvement is needed, however: relays must endure $\sim 3 \times 10^{14}$ on/off switching cycles before failure, in order for a relay-based circuit to operate reliably for at least 10 years at a clock frequency of 100 MHz and transition probability of 0.01.

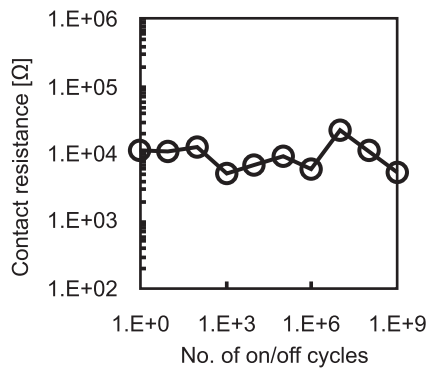


Figure 8: Measured contact resistance vs. number of on/off hot switching cycles with $V_{DS} = 1$ V [2].

3. Relay scaling and energy-performance comparison with CMOS

Similarly as for MOSFETs, a constant-field scaling methodology [8] can be applied to relays to improve device density (for lower cost per function), switching delay (for higher performance), and power consumption (Table 1). Following this methodology, the electric field across the as-fabricated actuation gap is maintained at a constant value while all of the dimensions of the relay are reduced by the factor $1/\kappa$. As a result, the spring constant (k) is reduced. There is a lower limit for k , however, because F_{spring} must be greater than $F_{adhesion}$ so that the relay is turned off when the gate voltage is zero (*i.e.* V_{RL} in Fig.1 must be greater than 0 V). This in turn sets a lower limit (E_{min}) on

Table 1: Guidelines for electrostatic relay scaling. κ is a scaling constant greater than 1.

Relay Parameter	Constant-Field Scaling Multiplicative factor
Spring constant	$1/\kappa$
Actuation area	$1/\kappa^2$
As-fabricated gap thickness	$1/\kappa$
Mass m	$1/\kappa^3$
Pull-in voltage	$1/\kappa$
Pull-in delay	$1/\kappa$
Switching energy	$1/\kappa^3$
Device density	κ^2
Power density	1

the relay switching energy. Surface adhesion energy due to van der Waals forces, capillary forces, and hydrogen bonds scales with the area of the contacting region [2], so that relay designs with lower beam stiffness and therefore smaller actuation area and operating voltage are possible if a smaller contacting region is utilized. Ultimately, for aggressively scaled contacting regions ($\sim 50 \times 50 \text{nm}^2$), the surface adhesion energy will be set by metal-to-metal bonding at the contact asperities [9, 10]. Assuming five metal-metal bonds, $E_{min} \cong 4 \text{aJ}$ ($> 10 \times$ lower than for CMOS) would be achievable.

Starting with a relay model calibrated to experimental data [7] and following the constant-field scaling methodology, the performance of a 65nm relay can be projected and compared against a 65nm MOSFET. The results are summarized in Table 2. (The analysis for the MOSFET is based on specifications in the International Technology Roadmap for Semiconductors.) To provide for sufficiently large electrostatic force (for low voltage operation), the actuation area of a relay is larger than the layout area of a MOSFET. Furthermore, the switching speed of a relay is 4-5 orders of magnitude slower than that of a MOSFET of comparable dimensions, because it is limited by the mechanical pull-in time.

Given the large ratio between the mechanical and electrical delays of a relay, an optimized relay-based IC design would arrange for all mechanical movement to happen simultaneously. In other words, relay-based digital circuits should be comprised of single-stage complex gates, so that the delay per operation is essentially one mechanical delay [7]. Since the optimal topology for a relay-based IC design is quite different than that for an equivalent CMOS implementation, a fair comparison of relay vs. CMOS energy-performance must be made at the circuit level rather than at the device level.

Table 2: Comparison of 65nm MOSFET vs. 65nm relay.

	MOSFET	Relay
V_{dd}	1V	0.4 ~ 1V
Area	$30F^2$	$50F^2$ (Actuation Area: $65 \times 260 \text{nm}^2$)
Delay	1.71ps	10 – 100ns
Capacitance	0.22fF	30aF

Although digital systems comprise a variety of functional blocks, the energy-performance tradeoffs for the majority of CMOS gates are similar to that of a CMOS inverter. Therefore, a representative comparison can be made for a relay chain (Fig.9) vs. a CMOS inverter chain (Fig.10). In Fig.11, the energy-vs.-performance tradeoff for a 30-relay chain is compared against that for a 30-stage CMOS inverter chain. These simulation results indicate that relay technology can potentially provide for $> 10 \times$ reduction in energy as compared with CMOS technology, for applications requiring performance up to $\sim 100 \text{MHz}$, consistent with the comparison for more complex functional blocks in [7].

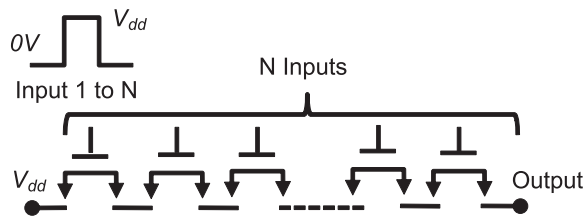


Figure 9: Relay chain consisting of N relays connected in series. The N input signals arrive at the same time, so that all of the relays switch simultaneously. The signal propagation delay is essentially one mechanical delay.

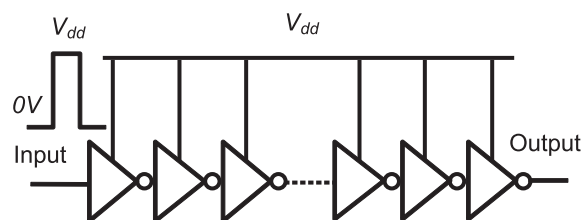


Figure 10: CMOS inverter chain consisting of N inverter stages. The propagation delay is N times the electrical delay of a single inverter.

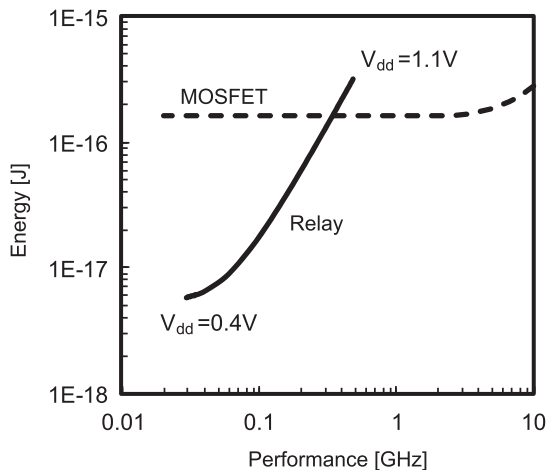


Figure 11: Simulated energy-performance tradeoff curves for a 30-stage CMOS inverter chain and a 30-relay chain.

4. Potential impact of relay IC technology

Rapid growth in information processing within the worldwide economy has led to an increasing share of electricity usage for computing. Information processing equipment, including all computers, consumer electronics, telephony, office equipment, network equipment, servers and data centers accounted for ~3% of the total electricity consumption in the U.S. in 2000 [11]. By 2006, the electricity consumption of servers and data centers alone doubled to 1.5% of total U.S. electricity consumption [12]. This rapid growth in energy consumption for

information processing is a direct result of the success of the information technology industry, with its growth largely fueled by exponential improvements in chip functionality and cost enabled by transistor scaling. The total worldwide volume of electronics and semiconductors is continuing to grow exponentially [13] (Fig.12). For large supercomputers and data centers now being planned, the total cost of power consumption over the lifetime of the installation is projected to eclipse the initial hardware costs, and hence will significantly impact the affordability of computing infrastructure.

The development of a much more energy-efficient digital logic switch technology is needed to reduce the electricity consumption of information processing, to make it more affordable as well as to reduce greenhouse gas emissions. Dramatic improvement (>10 \times) in the energy efficiency of computing can facilitate the growth of the portable electronics market segment and enable new applications such as autonomous wireless sensor networks (spatially distributed devices used to monitor and communicate environmental conditions) for which power, size, and cost presently are formidable obstacles. Thus, ultra-low-power relay IC technology can provide a pathway to ubiquitous computing in the future.

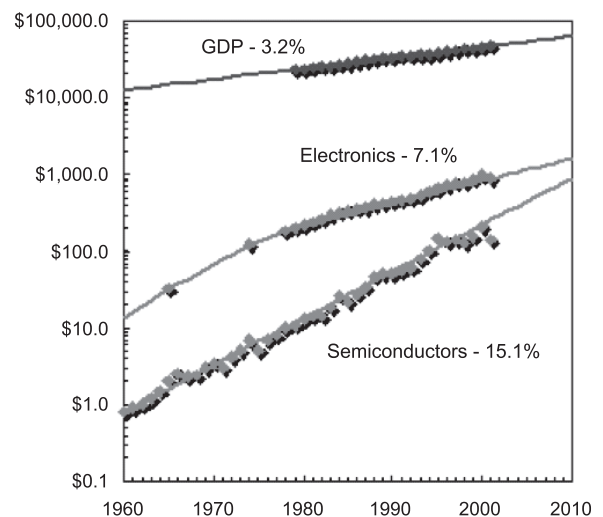


Figure 12: Comparison of the sizes (in billions of U.S. dollars) and growth rates of worldwide Gross Domestic Product, electronic systems, and semiconductors [13].

5. Summary

Transistor off-state leakage is the root cause of the CMOS power crisis which the semiconductor industry is facing today. Mechanical switches have zero off-state leakage (hence zero leakage energy) and abrupt switching behavior so that they in principle can be operated with very low voltage (hence very low active energy). Much progress has been made to improve the reliability of micro-relays, leading to recent demonstrations of various functional relay

integrated circuits. Miniaturization is expected to provide for improvements in device density and performance for relays as for MOSFETs. A circuit-level assessment indicates that scaled relays can potentially provide for $>10\times$ reduction in energy as compared with MOSFETs, for applications requiring performance up to $\sim 100\text{MHz}$. Thus, they are poised to lead a resurgence in mechanical computing for energy-efficient electronics, to help usher in the Age of Ambient Intelligence.

Acknowledgements

The authors gratefully acknowledge the contributions of Dr. Vincent Pott and Rhesa Nathanael toward the development of a reliable micro-relay technology. Useful discussions on relay-based integrated circuit design with Prof. Elad Alon (UC Berkeley), Prof. Vladimir Stojanović (MIT), and Prof. Dejan Marković (UCLA) and their students are also gratefully acknowledged. Prof. Eli Yablonovitch (UC Berkeley) provided insight on the issue of increasing electronics power consumption. This work was supported in part by the Materials, Structures, and Devices Focus Center and the Center for Circuit and System Solutions (two of five research centers funded under the Focus Center Research Program, a Semiconductor Research Corporation program), the DARPA/MTO NEMS program, and the NSF Center of Integrated Nanomechanical Systems.

References

- [1] *International Technology Roadmap for Semiconductors* 2007 edition. (<http://public.itrs.net>)
- [2] H. Kam, V. Pott, R. Nathanael, J. Jeon, E. Alon, and T.-J. King Liu, "Design and reliability of a micro-relay technology for zero-standby-power digital logic applications," in *International Electron Devices Meeting Technical Digest*, pp. 809-812, 2009.
- [3] R. Nathanael, V. Pott, H. Kam, J. Jeon, and T.-J. King Liu, "4-Terminal relay technology for complementary logic," *International Electron Devices Meeting Technical Digest*, pp. 223-226, 2009.
- [4] F. Chen, M. Spencer, R. Nathanael, C. Wang, H. Fariborzi, A. Gupta, H. Kam, V. Pott, J. Jeon, T.-J. King Liu, D. Markovic, V. Stojanovic, and E. Alon, "Demonstration of integrated Micro-electromechanical switch circuits for VLSI applications," in *Proc. International Solid State Circuits Conference*, pp. 26-28, 2010.
- [5] S. White, "A brief history of computing," <http://trillian.randomstuff.org.uk/~stephen/history/>
- [6] K. Akarvardar, D. Elata, R. Parsa, G. C. Wan, K. Yoo, J. Provine, P. Peumans, R. T. Howe, and H.-S. P. Wong, "Design considerations for complementary nanoelectromechanical logic gates," in *International Electron Devices Meeting Technical Digest*, pp. 299-302, 2007.
- [7] F. Chen, H. Kam, D. Markovic, T.-J. King Liu, V. Stojanovic, and E. Alon, "Integrated circuit design with NEM relays," in *Proc. of International Conference on Computer-Aided Design*, pp. 750-757, 2008.
- [8] R. H. Dennard, F. H. Gaensslen, H. N. Yu, V. L. Rideout, E. Bassous, and A. R. LeBlanc, "Design of ion-implanted MOSFET's with very small physical dimensions," *Proceedings of the IEEE*, vol. 87, pp. 668-678, 1999.
- [9] B. D. Jensen, K. Huang, L. L. W. Chow, and K. Kurabayashi, "Adhesion effects on contact opening dynamics in micromachined switches," *Journal of Applied Physics*, vol. 97, 103535, 2005.
- [10] R. Holm, *Electric contacts: Theory and Application*, (Berlin: Springer), 1999.
- [11] K. W. Roth, F. Goldstein, and J. Kleinman, "Energy consumption by office and telecommunications equipment in commercial buildings," Arthur D. Little Reference No. 72895-00 (NTIS # PB2002-101438), 2002.
- [12] "EPA report to Congress on server and data center energy efficiency," www.energystar.gov/datacenters.
- [13] "Is the current semiconductor industry growth rate sustainable?," ICKnowledge LLC, 2002. www.icknowledge.com/economics/growth_rate.html

炭素の見える化・価格化政策と低炭素経営の動向

研究第四部 部長
エリック・ハルバーソン

日立総研では、地球温暖化問題、生物多様性保全問題などの地球環境問題について多面的かつ包括的な研究活動を行っている。本研究は、その中の重要テーマに位置付けられている。企業を取り巻く温室効果ガス排出規制の強化は避けられないトレンドに向かっており、すべての企業の事業機会とリスクに大きな影響を与える可能性があるため、少しでも早く適切な施策を打つことが企業の経営上、極めて重要な課題である。

炭素の「価格化」政策とは、排出権取引や炭素税を中心とした政策である。排出権取引は、政府が、企業単位や施設単位で温室効果ガスの排出枠を決め、実際の排出量が排出枠より多い場合、または少ない場合に、前者では他社から排出枠を購入、後者では他社に排出枠を販売することを認める制度である。炭素税は、化石燃料の炭素を含む量に応じて使用者に課す税金である。いずれの制度も、CO₂を1トン多く排出した企業には、例えば1万円余分に費用を負担させるという意味で、CO₂排出量に値段をつける（価格化）制度と言える。

炭素の「見える化」政策は、カーボンフットプリント制度（CFP）が典型例である。CFPとは、製品・サービスのライフサイクル全体で排出された温室効果ガスをCO₂相当量に換算し、製品ごとに表示する制度である。英国のカーボントラスト社が2007年に手法を開発したことで、食品メーカーやドラッグストアなどがCFP表示を始め、現在では、世界各国で制度化の検討が行われている。

本研究が直近でフォーカスしている研究項目は、炭素の「価格化」の主要政策手段である排出権取引制度の実態であり、特に、(1) 欧州の排出権取引規制と関連制度動向、(2) 排出権取引をめぐる企業動向の2つに注目している。

1. 欧州の排出権取引規制と関連制度動向

欧州では、既に排出権取引制度（EU-ETS）が導入されている。特徴として挙げられるのは、(1) 3つのフェーズで制度化（フェーズ1：2005年～2007年、フェーズ2：2008年～2012年、フェーズ3：2013年～2020年）、(2) EUのCO₂排出量の約42%（対象施設数11,500）をカバー、(3) 対象は、発電所、石油精製、鉄鋼、化学などのエネルギー多消費施設の直接燃料使用（産業部門のその他業種と業務部門への影響はわずか）、(4) 排出権の割当は、過去の排出実績相当量が無償割当（フェーズ3よりオークション方式に変更予定）、(5) 事業者は、毎年1年分の排出量を算定報告書にまとめ、翌年1月から4月末までの間に第三者検証の報告書を添えて各国監督官庁に提出する、といった点である。

一方、英国やフランスは、EU-ETSに加えて自国独自のCO₂排出関連規制を導入している。英国では、2010年4月から、店舗や事務所向け排出権取引制度としてCO₂排出削減の実績に応じてボーナス（還付金）

表1 英国で適用されている排出権取引制度

排出権取引制度	対象	対象数	対象排出量
EU-ETS [欧州30カ国]	・ 発電、産業、運輸の大規模排出源（発電所は規模にかかわらず対象となる） ・ 対象単位は事業所	英国国内の事業所数 1140箇所	256 Mトン (英国排出量の約40%)
CRC[イギリス] (Carbon Reduction Commitment)	・ エネルギー消費量の大きい業務用建築物を対象 ・ 対象単位は法人	企業数 5000社	57.5 Mトン (英国排出量の約10%)

資料：公表資料より日立総研作成

やペナルティを付与する新規制度「Carbon Reduction Commitment (CRC)」を開始している(表1)。またフランスは、カーボンフットプリントを法制化し、炭素税を導入する方針もある。これらの政策はEU-ETSの対象外である企業や家庭部門のCO₂削減促進を狙った政策と言える。

2. 排出権取引を巡る企業動向

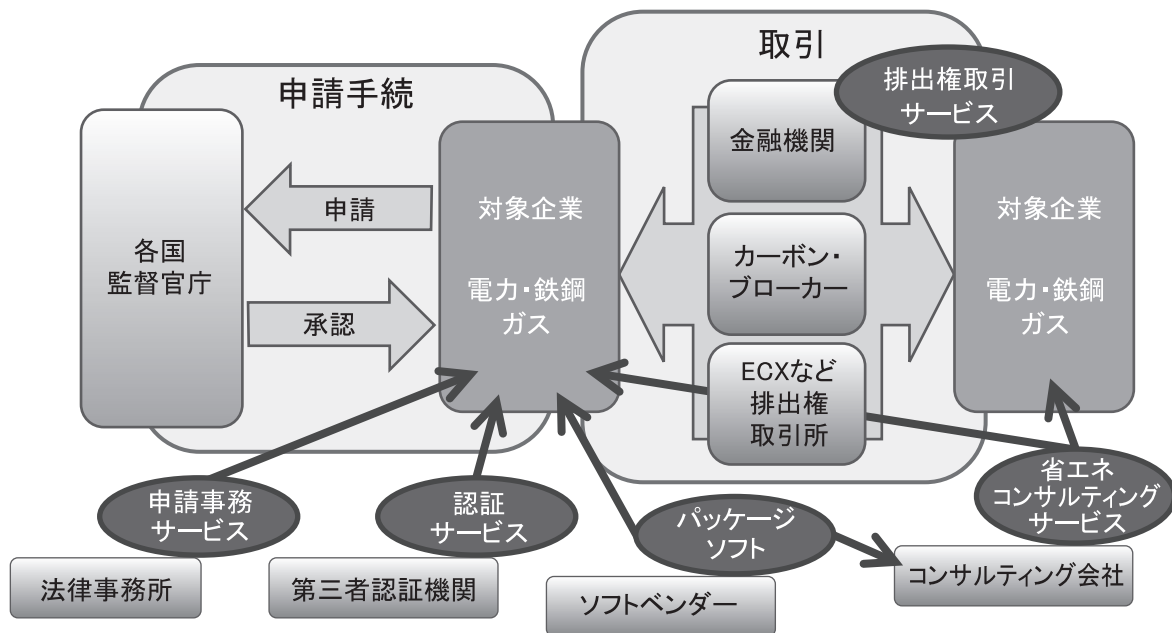
現在、EU-ETSにおける排出権取引量は世界の排出権取引の約7割、取引額では約8割を占めており、世界取引額940億ユーロのうち730億ユーロという市場規模にまで拡大した(2009年)。EU-ETS対象事業者は施設ごとに報告義務がある。現地ヒアリング調査を行ったところ、排出量のモニタリングやレポートをサポートするために一部ソフトウェアベンダーが販売している専用ソフトを活用している企業は少なく、市販の表計算ソフトをベースにしたツールを活用していることがわかった。また、排出権取引をサポートするために既存取引システムを活用している例もあった。

EU-ETS対象企業向けに拡大しているサービスも多く、金融サービス、排出権仲介業、環境コンサルティング、法律サービスなどが挙げられる。また、CRCが導入される英国では、これらサービスへの需要が、さらに拡大する見通しである。

3. 今後の見通し:カーボンフットプリント制度の検討

CFPについては、ISO(国際標準化機構)の作業分科会にて国際規格化の作業が行われており、2011年末に規格化完了する見通しである。日本では試行事業が実施中であり、2012年を目指して制度化が進められている。また、排出権取引については、EU-ETSの次期フェーズが2013年より開始される。日本や米国においても排出権取引を盛り込んだ法案が審議されつつある。

日立総研では、国内外の政策動向、海外排出権取引にかかわる海外企業の動向を継続して調査研究する予定である。



資料:各種資料より日立総研作成

図1 EU-ETS・CRC対象企業向けサービス

The President's 2010 Trade Policy Agenda by Ambassador Ron Kirk, United States Trade Representative

研究第一部 主任研究員 今橋 博人
副主任研究員 松本 健

2010年3月1日、米国のロナルド・カーク通商代表は、2010年におけるオバマ政権の「通商政策アジェンダ」を発表した。通商政策アジェンダは、米国政府が1年間優先的に取り組む通商上の重要政策を説明するもので、オバマ政権としては2009年2月に引き続き、今回が2度目の発表となる。

概してオバマ政権はその成立以来、通商政策より景気対策など国内経済政策を重視していることは明らかである。また、保護主義的な政策を求める労働組合が米民主党の有力支持基盤であることもあり、オバマ政権は積極的な通商政策には慎重であると見られてきた。しかし、この2010年通商政策アジェンダを見る限り、自由貿易を雇用の維持創出の源泉として位置付け、慎重かつ徐々にではあるが、政策の具体化と優先付けを進めていることがうかがえる。これは、全体的に具体性に乏しかった2009年の通商政策アジェンダとの比較でも明らかである。

2010年通商政策アジェンダは7つの優先政策を掲げている。それらは、①ルールに基づく通商体制の支持・強化、②通商体制における執行の強化、③米国の経済成長と雇用の創出、④既存FTAの改善と積み残しFTAの課題解決、⑤エネルギー・環境における国家目標達成の加速、⑥途上・貧困国とのパートナーシップの強化、⑦国内各ステークホルダーの意見の通商政策への反映、である。ここ数年世界的にFTA締結の動きが活発化している中、これら7つの政策のうち、貿易自由化に関する政策がより色濃く出ている最初の4つについて、2009年のアジェンダとも比較しつつ詳しく見てみたい。

ルールに基づく通商体制の支持・強化

2010年通商政策アジェンダの最初に掲げられたのは、WTO体制とドーハ・ラウンド推進へのコミットメントである。特に2001年の交渉開始からいまだ妥結の見通しが見えないドーハ・ラウンドに関しては、中国、インド、ブラジルなどの先進途上国（advanced developing economies）に対し、経済的影響力に見合っ

た市場アクセスの向上は各国の「責任」であるとして強い姿勢を示している。2009年のアジェンダでは、WTO体制へのコミットメントは記されてはいたが、保護主義回避を目的とした一般的なものであり、ドーハ・ラウンドや先進途上国への言及といった具体性は見られなかった。オバマ政権誕生から1年余りが経過し、米国のドーハ・ラウンドに対する取り組みが、積極的なスタンスに傾斜しているとみることができる。

通商体制における執行の強化

通商体制における執行の強化とは、既存の通商協定で合意された内容を、相手側に対して確実に執行することを求める、ということである。本来これは新しい政策ではなく行政執行上の問題であるが、政策の重要課題として位置付けられるようになった背景には、米国の議会と産業界の中に、既存の通商協定でさえ締約国間で十分に順守されておらず米国の権益が損なわれている、との強い不満があるためとされている。

本アジェンダでは、具体的施策として、相手国の執行状況のモニタリングを行いつつ、WTOへの提訴を行う、などが挙げられている。前ブッシュ政権では多くのFTAが締結されたが、オバマ政権ではこれらFTAの執行面で着実な成果が問われていくことになる。

米国の経済成長と雇用の創出

2010年通商政策アジェンダの第3の政策は、米国の経済成長と雇用の創出である。ただし、実際の政策内容を見ると、新興諸国を中心とした対外貿易政策そのものとなっている点に注目したい。

例えば本アジェンダでは、BRICs諸国への輸出拡大が、米国経済の成長と雇用創出にとって極めて重要である点が指摘されている。現在米国には、これら国々との間でFTAなどの通商協定を結ぶ計画は具体的にはないが、引き続き二国間での貿易政策対話を続けていくとの姿勢が打ち出されている。

また、地域的には、アジア太平洋地域を重視し、環太平洋戦略的経済連携協定（Trans-Pacific Strategic

Economic Partnership Agreement、通称「TPP」への参加に向けて、2010年前半には交渉を開始する計画であることを表明している。現 TPP は、ブルネイ、チリ、ニュージーランド、シンガポールの4カ国による地域貿易協定であるが、オーストラリア、ペルー、ベトナムも参加を表明するなど拡大の傾向にある。本アジェンダにおいても、アジア太平洋全体の経済統合の試金石となるとして評価されている。これら政策の背景には、オバマ政権が国内労働者に配慮し、貿易自由化は輸出の拡大とそれを通じた国内雇用の創出につながる1つの手段である、と説明しようとする意図が感じられる。

2009年のアジェンダとの比較も含めて注目すべき点は、まず、新規 FTA の交渉開始など具体的政策が掲げられたことであろう。事実 TPP は、オバマ政権が初めて交渉する FTA となる見通しである。また、従来欧州重視の傾向にあった米国民民主党が、少なくとも通商面ではアジア重視であることを、2010年通商政策アジェンダという公文書の中で鮮明にした点も見逃せない。

既存FTAの改善と積み残しFTAの課題解決

オバマ大統領は2008年の予備選当時、国内雇用保護のために NAFTA の見直しが必要と主張した。政権獲得後、これをどのような政策として実行するかが課題となっていた。2009年の通商政策アジェンダでは、「(NAFTA の) 改善の方向を見定めるために作業 (work) をする」となっていたのに対し、今回のアジェンダでは、「労働者保護と環境保護のための規制強化をどのように NAFTA に盛り込むかを検討する」といった具体的方向性が示されている。

そもそも FTA における労働者と環境の保護に関する規定は、米国が近年締結してきた FTA に特有のもので、「労働法や環境法上の義務の軽減を通して、貿易や投資を促進することは不当である」との基本的な考えに成り立っている。特に、労働者の保護に対しては、米国の労働組合からの要望も強く、NAFTA 交渉時においても、賃金など労働条件の低いメキシコに工場移転が進むことで、米国における雇用が失われるとして、強い反発があったとされている。1992年12月の NAFTA 署名から8ヵ月後に、労働者保護と環境保護それぞれに関する補完協定が結ばれたが、それには上記のような経緯があった。今回のアジェンダを受けて、今後補完協定の内容をいかに強化し NAFTA に織

り込むか、検討が進められていくものと予想される。

加えて、前ブッシュ政権にて妥結されたものの、議会承認待ちのまま引き継ぐことになった、パナマ、コロンビア、韓国との FTA をいかに処理するか、これもオバマ政権の通商面での大きな課題である。通商政策アジェンダを見ると、「3カ国との FTA に関連する問題に取り掛かる」と中立的な表現にとどまった2009年とは対照的に、2010年では、「3カ国との FTA の経済的利益を認め、批准に向けて米国議会と協議を進める」との意思が込められた内容となっている。特に米韓 FTA については、大統領選挙中は反対の立場を採っていたオバマ大統領が、就任から1年余り経った現在、前向きな姿勢へと転換したことが浮き彫りとなった。

以上、カーク通商代表が発表した、2010年におけるオバマ政権の通商政策アジェンダを見てきた。全体を通して、保護主義から自由貿易推進へと政策のかじを取り、個々の具体的政策の実行に重点が移行している印象を受ける。特徴としては、FTA の数を増やすよりも、多国間交渉を通してレベルの高い貿易の自由化を目指す傾向にあること、アジアを重視していることが挙げられる。2国間 FTA よりも WTO や多国間 FTA の方が、貿易自由化を通して獲得できる市場規模は大きく、また順調な経済成長をみせるアジアは魅力的な輸出市場として映るため、国内企業や労働者といった国内ステークホルダーへの説明がしやすいのであろう。ただし、前ブッシュ政権下では FTA が乱発されるばかりで、その執行の監視が不十分であった、との不満が議会にはあり、オバマ政権には交渉状況の十分な説明など、慎重な政策運営が求められている点にも注意したい。また、既存の協定の執行強化に対する要求も強く、新規と既存の両方の政策で政権担当能力が問われることになる。

最後に、本アジェンダの発表から10日後の3月11日、オバマ政権は、「国家輸出イニシアチブ (National Export Initiative)」を発表した。今後5年間で輸出を倍増し200万人の雇用を創出するという本イニシアチブの目標達成には、WTO や FTA などのルール整備、執行強化が重要な政策の1つとなることは明らかである。今後のオバマ政権の通商政策が、ますます注目されるところである。

日立 総研

vol.5-1
2010年5月発行

発行人 塚田 實
編集・発行 株式会社日立総合計画研究所
印刷 日立インターメディアックス株式会社
定価 1,000 円（税、送料別）
お問合せ先 株式会社日立総合計画研究所
東京都千代田区外神田四丁目 14 番 1 号
秋葉原 UDX 〒101-8010
電話：03-4564-6700（代表）
e-mail：hri.pub.kb@hitachi.com
担当：副主任研究員 石川 淑子
<http://www.hitachi-hri.com>

All Rights Reserved. Copyright© (株)日立総合計画研究所 2010（禁無断転載複写）
落丁本・乱丁本はお取り替えいたします。

日立 総研

www.hitachi-hri.com